

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229564

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl. ⁸	識別記号	F I		
H 0 4 N	7/32	H 0 4 N	7/137	Z
	7/30		7/133	Z

審査請求 未請求 請求項の数19 O L (全 27 頁)

(21) 出願番号 特願平9-338396

(22) 出願日 平成9年(1997)12月9日

(31) 優先権主張番号 特願平8-331762

(32) 優先日 平8(1996)12月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 松本 泰輔

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

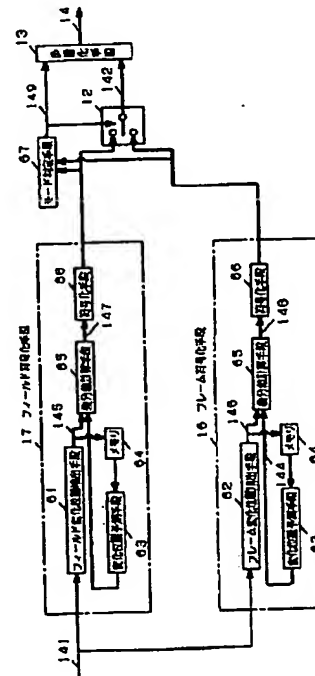
(74) 代理人 弁理士 庵本 智之 (外1名)

(54) 【発明の名称】 画像符号化装置、画像復号化装置および画像符号化方法、画像復号化方法

(57) 【要約】

【課題】 インタレース構造を持つ二値デジタル画像を、画像を複数の2次元ブロックに分割し、ブロック毎にフィールド又はフレームモードのいずれか効率の良いモードを選択することにより符号化効率の向上を達成することを目的とする。

【解決手段】 フィールドモードで二値デジタル画像を符号化するフィールド符号化手段17と、フレームモードで二値デジタル画像を符号化するフレーム符号化手段16と、符号化した結果を比較判定するモード判定手段67とから構成することにより、より効率の良いモードの選択が行なえ、符号化効率の向上が達成できる。



【特許請求の範囲】

【請求項 1】 二値デジタル画像を複数画素から構成される 2 次元ブロックに分割し、ブロック毎に符号化を行なう画像符号化装置において、符号化処理をフィールド単位で行なう方法とフレーム単位で行なう方法をブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従ってブロック毎にフィールド単位またはフレーム単位で符号化を行なう符号化手段とを具備することを特徴とする画像符号化装置。

【請求項 2】 請求項 1 記載の画像符号化装置によって符号化した画像符号化信号から二値デジタル画像に復号化する画像復号化装置において、モード情報に従ってブロック毎にフィールド単位またはフレーム単位で復号化処理を行なう復号化手段を具備することを特徴とする画像復号化装置。

【請求項 3】 二値デジタル画像を符号化する際に、フィールド単位でダウンサンプリングを行なうかフレーム単位でダウンサンプリングを行なうかをブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従ってブロック毎にフィールド単位またはフレーム単位でダウンサンプリングを行なうダウンサンプリング手段とを具備することを特徴とする請求項 1 記載の画像符号化装置。

【請求項 4】 請求項 3 記載の画像符号化装置によって符号化した画像符号化信号から二値デジタル画像に復号化する際に、モード情報に従ってフィールド単位でアップサンプリングを行なうかフレーム単位でアップサンプリングを行なうかをブロック毎に選択し、フィールド単位またはフレーム単位でアップサンプリングを行なうアップサンプリング手段を具備することを特徴とする請求項 2 記載の画像復号化装置。

【請求項 5】 二値デジタル画像を符号化する際に、フィールド単位で動き補償を行なうかフレーム単位で動き補償を行なうかをブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従ってブロック毎にフィールド単位またはフレーム単位で動き補償を行なう動き補償手段を具備することを特徴とする請求項 1 記載の画像符号化装置。

【請求項 6】 請求項 5 記載の画像符号化装置によって符号化した画像符号化信号から二値デジタル画像を復号化する際に、モード情報に従ってフィールド単位で動き補償を行なうかフレーム単位で動き補償を行なうかをブロック毎に判定し、動き補償を行なう動き補償手段を具備することを特徴とする請求項 2 記載の画像復号化装置。

【請求項 7】 二値デジタル画像を符号化する際に、画素値の変化する位置の検出をフィールド単位で行なうかフレーム単位で行なうかをブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従って画素値の変化点を検出する変化点検出手段と、前

記モード情報に従って符号化済みの画素の画素値の変化位置から前記デジタル画像の画素値の変化位置を予測する予測手段と、前記変化点検出手段によって検出された変化点の位置と前記予測手段によって予測された変化点予測位置の差分値を符号化する差分符号化手段とを具備することを特徴とする請求項 1 記載の画像符号化装置。

【請求項 8】 請求項 7 記載の画像符号化装置によって符号化した画像符号化信号から二値デジタル画像を復号化する際に、画素値の変化点と変化点の予測位置の差分値を復号化する差分復号化手段と、モード情報に従ってブロック毎に復号化済みの画素の画素値の変化点から画素値の変化点の予測位置を予測する予測手段と、モード情報に従って前記差分復号化手段によって復号化された差分値と前記予測手段によって予測された予測位置を加算する加算手段とを具備し、前記加算手段の出力を画素値の変化位置とする請求項 2 記載の画像復号化装置。

【請求項 9】 二値デジタル画像を符号化する際に、着目画素の周辺の符号化済み画素の画素値の分布状態の調査をフィールド単位で行なうかフレーム単位で行なうかをブロック毎に判定しモード情報を出力するモード判定手段と、前記モード情報に従って着目画素の画素値の確率分布を周辺の符号化済み画素の画素値の分布状態から決定する確率分布決定手段と、前記確率分布決定手段によって決定した確率分布に従って着目画素の画素値を符号化する画素値符号化手段とを具備することを特徴とする請求項 1 記載の画像符号化装置。

【請求項 10】 請求項 9 記載の画像符号化装置によって符号化した画像符号化信号から二値デジタル画像を復号化する際に、既に復号化済みの周辺画素の画素値の分布状態の調査をモード情報に従ってブロック毎にフィールド単位またはフレーム単位で行い着目画素の画素値の確率分布を決定する確率分布決定手段と、前記確率分布決定手段によって決定した確率分布に従って着目画素の画素値を復号化する画素値復号化手段を具備することを特徴とする請求項 2 記載の画像復号化装置。

【請求項 11】 二値デジタル画像を符号化する際に、符号化済みの参照画像をもとに動き補償を行うことによって得られる動き補償予測画像の画素値の分布状態の調査をフィールド単位で行なうかフレーム単位で行なうかをブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従って着目画素の画素値の確率分布を動き補償予測画像の画素値の分布状態から決定する確率分布決定手段と、前記確率分布決定手段で決定した確率分布に従って着目画素の画素値を符号化する画素値符号化手段とを具備することを特徴とする請求項 1 記載の画像符号化装置。

【請求項 12】 請求項 11 記載の画像符号化装置によって符号化した画像符号化信号から二値デジタル画像を復号化する際に、既に復号化済みの参照画像をもとに

動き補償を行うことによって得られる動き補償予測画像の画素値の分布状態の調査をブロック毎にモード情報に従ってブロック毎にフィールド単位またはフレーム単位で行い着目画素の画素値の確率分布を決定する確率分布決定手段と、前記確率分布決定手段によって決定した確率分布に従って着目画素の画素値を復号化する画素値復号化手段とを具備することを特徴とする請求項2記載の画像復号化装置。

【請求項13】 デジタルカラー画像および前記カラー画像の有意形状を示す二値デジタル画像をブロック毎に符号化する際に、デジタルカラー画像の符号化処理をフィールド単位で行なうかフレーム単位で行なうかブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従って当該ブロックの二値デジタル画像の符号化処理をフィールド単位またはフレーム単位で行なう二値デジタル画像符号化手段とを具備することを特徴とする請求項1記載の画像符号化装置。

【請求項14】 請求項13記載の画像符号化装置によって符号化した画像符号化信号からデジタルカラー画像および前記カラー画像の有意形状を示す二値デジタル画像を復号化する際に、二値デジタル画像の復号化処理をデジタルカラー画像の当該ブロックのモード情報に応じてフィールド単位またはフレーム単位で行なう二値デジタル画像復号化手段を具備することを特徴とする請求項2記載の画像復号化装置。

【請求項15】 デジタルカラー画像および前記カラー画像の有意形状を示す二値デジタル画像ブロック毎に符号化する際に、二値デジタル画像の符号化処理をフィールド単位で行なうかフレーム単位で行なうかをブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従ってデジタルカラー画像の当該ブロックの符号化処理をフィールド単位またはフレーム単位で行なう二値デジタル画像符号化手段と、前記モード情報に従って多値デジタル画像の当該ブロックの符号化処理をフィールド単位またはフレーム単位で行なうデジタルカラー画像符号化手段とを具備することを特徴とする請求項1記載の画像符号化装置。

【請求項16】 請求項15記載の画像符号化装置によって符号化した画像符号化信号からデジタルカラー画像および前記カラー画像の有意形状を示す二値デジタル画像を復号化する際に、モード情報に従って二値デジタル画像の復号化をブロック毎にフィールド単位またはフレーム単位で行なう二値デジタル画像復号化手段と、当該ブロックのデジタルカラー画像の復号化を前記モード情報に従ってフィールド単位またはフレーム単位で行なうデジタルカラー画像復号化手段とを具備することを特徴とする請求項2記載の画像復号化装置。

【請求項17】 二値デジタル画像を複数画素から構成される2次元ブロックに分割し、ブロック毎に符号化

を行なう画像符号化方法において、前記二値デジタル画像をフィールド単位で符号化する工程と、前記二値デジタル画像をフレーム単位で符号化する工程と、符号化処理の結果をフィールド単位およびフレーム単位で符号化した符号量の大きさをブロック毎に判定し、符号化信号を出力する工程とを具備することを特徴とする画像符号化装置。

【請求項18】 請求項17記載の画像符号化方法によって符号化した画像符号化信号から二値デジタル画像に復号化する画像復号化方法において、モード情報に従ってブロック毎にフィールド単位またはフレーム単位で復号化処理を行なう工程を具備することを特徴とする画像復号化方法。

【請求項19】 コンピュータの記録媒体であり、請求項1から請求項18の少なくとも1つを実現するプログラムを記録している記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル画像を符号化／復号化する画像符号化装置／画像復号化装置、画像符号化方法／画像復号化方法およびそれをソフトウェアによって実現するためのコンピュータプログラムが記録された記録媒体に関するものである。

【0002】

【従来の技術】現在インターレース構造を持つデジタル画像を符号化／復号する方法の標準勧告としてITU-T H.262があり、NTSCなどのテレビジョン信号を効率よく符号化／復号化することができる。

【0003】また、デジタル画像を符号化／復号化する際に、画素の輝度信号および色差信号だけでなく、物体の形状を表す形状情報信号も含めて符号化／復号化を行なう方法がISO/IEC MPEG4の評価モデルとして採用されている(ISO/IEC JTC/SC29/WG11 N1469 November 1996)。

【0004】この方法では、形状情報によって示された有意な画素についてのみ輝度信号および色差信号の符号化／復号化を行なうことによって符号量の効果的な削減を行なえるだけでなく、形状情報に従って画像の合成などが容易に行なえるという特徴がある。

【0005】

【発明が解決しようとする課題】上記に示したMPEG4の評価モデルでは1フレームが2つのフィールドによって構成されているインターレース構造を持つ画像については考慮されていない。そのためインターレース構造をもつ入力画像に対しては効率の良い符号化／復号化を行うことができない。

【0006】また、H.262では輝度信号および色差信号についてはインターレース構造を考慮した動き補償方法や離散コサイン変換について考慮されているが、有意形状を示す二値画像の符号化方法としてはダウンサンプリ

ング、アップサンプリング、画素値の変化位置の予測などといったH.262では考慮されていない特別な方法が使用されているため、H.262で採用されているインターレース構造に対応した符号化／復号化手段を単純に採用することはできない。

【0007】本発明は、この様な画像符号化装置／画像復号化装置において、入力画像を符号化／復号化する際に、形状情報画像についてもブロック毎にフィールド単位で符号化／復号化するかフレーム単位で符号化／復号化するかを適応的に選択することによって符号化効率の改善を行なうことを目的とする。

【0008】

【課題を解決するための手段】この課題を解決するために本発明は、1フレームが2つのフィールドによって構成されたインターレース構造を持つ二値ディジタル画像を入力として、前記画像を複数画素から構成される2次元ブロックに分割しブロック毎に符号化を行なう画像符号化装置において、符号化処理をフィールド単位で行なう方法とフレーム単位で行なう方法をブロック毎に判定し、モード情報を出力するモード判定手段と、前記モード情報に従ってブロック毎にフィールド単位またはフレーム単位で符号化を行なう符号化手段とから構成したものである。

【0009】また、上記画像符号化装置によって符号化した画像符号化信号から1フレームが2つのフィールドによって構成されたインターレース構造を持つ二値ディジタル画像を複数画素から構成された2次元ブロック毎に復号化する画像復号化装置において、モード情報に従ってブロック毎にフィールド単位またはフレーム単位で復号化処理を行なう復号化手段とから構成するようにしたものである。

【0010】これにより、ブロック毎にフィールド単位で符号化／復号化するかフレーム単位で符号化／復号化するかを適応的に選択することによって高効率の画像符号化装置／画像復号化装置を実現できる。

【0011】

【発明の実施の形態】本発明の請求項1記載の発明は、二値ディジタル画像を複数画素から構成されたブロックに分割しブロック毎に符号化を行なう画像符号化装置において、フィールド単位符号化処理とフレーム単位符号化処理のいずれか符号化効率の良い方をブロック毎に判定することによって、符号化効率の向上が達成できるという作用を有する。

【0012】請求項2に記載の発明は、画像符号化信号から二値ディジタル画像に復号化する画像復号化装置において、フィールド単位復号化処理とフレーム単位復号化処理をモード情報によってブロック毎に切替えることによって、正しく復号化できるという作用を有する。

【0013】請求項3に記載の発明は、二値ディジタル画像を符号化する際に、フィールド単位ダウンサンプリ

ング処理とフレーム単位ダウンサンプリング処理のいずれか効率の良い方をブロック毎に判定することによって、符号化効率の向上が図れるという作用を有する。

【0014】請求項4に記載の発明は、二値ディジタル画像を復号する際に、フィールド単位ダウンサンプリング処理とフレーム単位ダウンサンプリング処理をモード情報によってブロック毎に切替えることによって、正しく復号化できるという作用を有する。

【0015】請求項5に記載の発明は、二値ディジタル画像を符号化する際に、フィールド単位動き補償とフレーム単位動き補償のいずれか効率の良い方をブロック毎に判定することによって、符号化効率の向上が図れるという作用を有する。

【0016】請求項6に記載の発明は、二値ディジタル画像を復号する際に、フィールド単位動き補償とフレーム単位動き補償をモード情報によってブロック毎に切替えることにより、正しく復号化できるという作用を有する。

【0017】請求項7に記載の発明は、二値ディジタル画像を符号化する際に、着目画素と画素値が変化する画素との位置関係を符号化する画像符号化装置において、画素値の変化点の検出をフィールド単位とフレーム単位のいずれか効率の良い方をブロック毎に判定して行なうことによって、符号化効率の向上が達成できるという作用を有する。

【0018】請求項8に記載の発明は、着目している画素と画素値が変化する画素との位置関係から二値ディジタル画像を復号する画像復号化装置において、画素値が変化する画素の位置の計算をフィールド単位で行なうかフレーム単位で行なうかをモード情報によってブロック毎に切替えることによって、正しく復号化できるという作用を有する。

【0019】請求項9に記載の発明は、二値ディジタル画像を符号化する際に、着目画素の画素値の確率分布を周辺の画素の画素値の分布状態から決定し、その確率分布に従って着目画素の画素値を符号化する画像符号化装置において、確率分布を決定するための周辺画素値の分布状態の調査をフィールド単位とフレーム単位のいずれか効率の良い方をブロック毎に判定して行うことによって、符号化効率の向上が達成できるという作用を有する。

【0020】請求項10に記載の発明は、着目画素の画素値の確率分布を周辺の画素の画素値の分布状態から決定し、その確率分布に従って画素値を復号化する画像復号化装置において、確率分布を決定するための周辺画素値の分布状態の調査をフィールド単位で行うかフレーム単位で行うかをモード情報によってブロック毎に切り替えることによって、正しく復号化できるという作用を有する。

【0021】請求項11に記載の発明は、着目画素の画

素値の確率分布を動き補償予測画像の画素値の分布状態から決定し、その確率分布に従って着目画素の画素値を符号化する画像符号化装置において、確率分布を決定するための動き補償予測画像の画素値の分布状態の調査をフィールド単位とフレーム単位のいずれか効率の良い方をブロック毎に判定して行うことによって、符号化効率の向上が達成できるという作用を有する。

【0022】請求項12に記載の発明は、着目画素の画素値の確率分布を動き補償予測画像の画素値の分布状態から決定し、その確率分布に従って画素値を復号化する画像復号化装置において、確率分布を決定するための動き補償予測画像の画素値の分布状態の調査をフィールド単位で行うかフレーム単位で行うかをモード情報に従ってブロック毎に切り替えることにより、正しく復号化できるという作用を有する。

【0023】請求項13に記載の発明は、二値デジタル画像および多値デジタル画像をブロック毎に符号化する際に、二値デジタル画像の符号化処理をフィールド単位とフレーム単位のいずれかで行なうかの選択を、当該ブロックの多値デジタル画像のモード情報に従属して行なうことによって、二値デジタル画像のモード情報について特別な符号を用いる必要がなく符号化効率の向上が達成できるという作用を有する。

【0024】請求項14に記載の発明は、画像符号化信号から二値デジタル画像および多値デジタル画像をブロック毎に復号化する際に、二値デジタル画像の符号化処理をフィールド単位とフレーム単位のいずれかで行なうかの判定を、当該ブロックの多値デジタル画像のモード情報に従属して行なうことによって、二値デジタル画像のモード情報について特別な符号を用いることなく正しく復号化できるという作用を有する。

【0025】請求項15に記載の発明は、二値デジタル画像および多値デジタル画像をブロック毎に符号化する際に、フィールド単位符号化処理とフレーム単位符号化処理のいずれかを二値デジタル画像の符号化処理として判定し、判定されたモード情報を当該ブロックの多値デジタル画像のモード情報の判定に反映させることにより、多値デジタル画像のモード情報について特別な符号を用いる必要がなく符号化効率の向上が達成できるという作用を有する。

【0026】請求項16に記載の発明は、画像符号化信号から二値デジタル画像および多値デジタル画像をブロック毎に復号化する際に、二値デジタル画像のモード情報を、当該ブロックの多値デジタル画像のモード情報の選択に反映させることにより、多値デジタル画像のモード情報について特別な符号を用いることなく正しく復号化できるという作用を有する。

【0027】請求項17に記載の発明は、二値デジタル画像を複数画素から構成される2次元ブロックに分割し、ブロック毎に符号化を行なう画像符号化方法におい

て、前記二値デジタル画像をフィールド単位で符号化する工程と、前記二値デジタル画像をフレーム単位で符号化する工程と、符号化処理の結果をフィールド単位およびフレーム単位で符号化した符号量の大きさをブロック毎に判定し、符号化信号を出力する工程とを具備することにより、フィールド単位符号化処理とフレーム単位符号化処理のいずれか符号化効率の良い方をブロック毎に判定することによって、符号化効率の向上が達成できるという作用を有する。

【0028】請求項18に記載の発明は、請求項17記載の画像符号化方法によって符号化した画像符号化信号から二値デジタル画像に復号化する画像復号化方法において、モード情報に従ってブロック毎にフィールド単位またはフレーム単位で復号化処理を行なう工程を具備することにより、フィールド単位復号化処理とフレーム単位復号化処理をモード情報によってブロック毎に切替えることによって、正しく復号化できるという作用を有する。

【0029】請求項19に記載の発明は、本発明の請求項1から18までの少なくとも1つを実現させるプログラムが記録されているコンピュータの記録媒体に記録して移送することにより、独立したコンピュータシステムで容易に実現できるという作用を有する。

【0030】以下、本発明の実施の形態について、図1から図31を用いて説明する。

(実施の形態1) 図1は、本発明の実施の形態1における画像符号化装置のブロック図である。同図において、12は出力信号を切替える切替え手段、13はモード情報及び符号化画像信号を多重化する多重化手段、16はフレーム単位で符号化するフレーム符号化手段、17はフィールド単位で符号化するフィールド符号化手段、61は画素値が変化する変化点をフィールド単位で検出するフィールド変化位置検出手段、62は画素値が変化する変化点をフレーム単位で検出するフレーム変化位置検出手段、63は符号化済みの画素の変化点から変化点を予測する変化位置予測手段、64は検出された変化位置を保持するメモリ、65は検出された変化位置と予測された変化位置の差分を求める差分計算手段、66は差分値を符号化する符号化手段、67はフィールド単位での差分値に基づく符号化画像信号とフレーム単位での差分値に基づく符号化画像信号を比較しフィールド単位かフレーム単位かのモード情報を判定するモード判定手段を示す。

【0031】また、図4(a)は、8×8画素から構成された符号化対象ブロックの例を示し、同図中の上参照画素はすでに符号化対象ブロック上隣ブロックの最下行に属する符号化済みの画素、左参照画素はすでに符号化対象ブロック左隣ブロックの最右列に属する符号化済みの画素である。この符号化対象ブロックの画素1(x, y)においてyが奇数の画素は第1フィールドに属し、

yが偶数の画素は第2フィールドに属する。

【0032】以上のように構成された画像符号化装置について、以下にその動作を説明する。まず、本発明の基本的な考え方について説明する。図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割された二値デジタル画像は、図4(a)に例示したブロック毎に入力画像信号141として、フレーム符号化手段16とフィールド符号化手段17を入力し、それぞれ符号化処理を行う。モード判定手段67によりフレーム符号化手段16とフィールド符号化手段17からの符号化画像信号の符号量を比較して符号量の少ない方の符号化画像信号を切り替え手段12により選択する。多重化手段13は、モード情報149と符号化画像信号142を多重化によりビットストリーム信号14として出力するものである。

【0033】これにより、動画像の動きに応じてフィールド単位符号化処理とフレーム単位符号化処理のいずれか符号化効率の良い方を選択することにより符号符号化効率の向上が図れるものである。

【0034】次に、符号化手段に画素値が変化する位置に基づいて符号化する方法について説明する。図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割された二値デジタル画像は、図4(a)に例示したブロック毎に入力画像信号141としてフィールド変化位置検出手段61およびフレーム変化位置検出手段62に入力される。

【0035】フィールド変化位置検出手段61では、入力された信号についてすでに符号化済みの着目画素Aから水平方向に画素をスキャンし、左隣の画素と異なる画素値に変化する画素の位置を同じフィールド内で検出し、フィールド変化位置145として出力する。すなわち図4(a)の例では画素Bがフィールド変化位置となる。これは、フィールド単位の場合は、1ライン置きにスキャンするためである。

【0036】フレーム変化位置検出手段62では、入力された信号についてすでに符号化済みの着目画素Aから水平方向に画素をスキャンし、左隣の画素と異なる画素値に変化する画素の位置をフレーム内で検出し、フレーム変化位置146として出力する。すなわち図4(a)の例では画素Cがフレーム変化位置となる。

【0037】変化位置予測手段63では、すでに符号化済みの画素の画素値が変化する位置から次に画素値が変化する位置を予測し、予測変化位置として出力する。図4(a)の例では、すでに符号化済みの画素の中で画素Aと同様に黒画素から白画素に変化する画素は同じフィールド内では画素Dであり、フレーム内では画素Eである。従って画素Dと画素Aのx座標の差は0であるからフィールド予測変化位置は画素Bとなり、また画素Eと画素Aのx座標の差は1であるから、画素Fがフレーム予測変化位置となる。

【0038】差分計算手段65では、変化位置検出手段で検出された変化位置と変化位置予測手段63で予測された変化位置との差分値を求める。図4(a)の例では、すなわちフィールド変化検出位置Bとフィールド変化予測位置Bの差分値0がフィールド差分値147として出力され、フレーム変化検出位置Cとフレーム変化予測位置Fの差分値-3がフレーム差分値148として出力される。

【0039】符号化手段66では、差分計算手段65で計算された差分値を予め定められたハフマン符号テーブルを用いて符号化する。モード判定手段67では、フィールド単位で求められた符号化画像信号とフレーム単位で求められた符号化画像信号の符号量を比較し、符号化効率の良いモードを判定し、モード情報149として出力する。切替え手段12では、モード情報149に従ってフィールド単位符号化画像信号またはフレーム単位符号化画像信号のいずれかを選択し符号化画像信号142として出力する。多重化手段13は、モード判定手段67からのモード情報149と切替え手段12で選択された符号化画像信号142を多重化し、ビットストリーム信号14として出力する。

【0040】上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像に対してその画像を画素値が変化する位置に基づいて符号化する際に、フィールド単位で画素値の変化位置を検出し符号化する手法とフレーム単位で画素値の変化位置を検出し符号化する手法のいずれか効率の良い方をモード判定手段67によってブロック毎に判定し切替えることによって符号化効率の向上を達成することができる。

【0041】(実施の形態2) 図2は、本発明の実施の形態2における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1と同一の手段および信号については同じ番号を付し説明を省略する。

【0042】同図において、11は信号の出力先を切替える切替え手段、15はビットストリーム信号14を逆多重化によりモード情報149と符号化画像信号142に分離する逆多重化手段、70は符号化画像信号から差分値を復号化する復号化手段、71は差分値と画素値が変化する画素の予測位置を加算し画素値が変化する位置を求める差分値加算手段、72は画素値の変化位置からフィールド単位で二値画像を復号化するフィールド二値画像復号手段73は画素値の変化位置からフレーム単位で二値画像を復号化するフレーム二値画像復号手段、151は差分値信号、152は画素値の変化位置、153は復号化された二値デジタル画像信号、154は画素値の変化位置の予測位置を示す。

【0043】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14を逆多重化によりモード情報149と符号化画像信号142に分離する。復号化

手段70では、符号化画像信号142から画素値変化する位置と変化する位置の予測位置との差分値を復号化し、差分値151を出力する。

【0044】変化位置予測手段63では、すでに復号化されている画素の画素値が変化する位置から次に画素値が変化する位置を予測し、予測変化位置154を出力する。図4(b)に例示した復号化対象ブロックでは着目画素Aと、画素Aと同じフィールドに属し同様に黒画素から白画素に変化するすでに復号化済みの画素Cから画素Aと画素Cのx座標の差0から予測変化位置画素Bが得られ、図5に例示した復号化対象ブロックでは着目画素Eと、画素Eと同様に黒画素から白画素に変化するすでに復号化済みの画素Gから予測変化位置画素Fが得られる。

【0045】差分値加算手段71では、差分値と予測変化位置の和を求め画素値変化位置152を出力する。すなわち差分値が-1の場合、図4(a)に例示したブロックでは画素Dが画素値変化位置であり、図5に例示したブロックでは画素Hが画素値変化位置となる。

【0046】切替え手段11では、モード情報149に従って画素値変化位置152をフィールド二値画像復号化手段72またはフレーム二値画像復号化手段73のいずれかに入力する。

【0047】フィールド二値画像復号化手段72では、着目画素位置と画素値変化位置の間の画素を順次左隣の画素値と同じ画素値に設定し、二値デジタル画像を復号化し、図4(c)に示した復号化画像を得る。同様の作業をフィールド1、フィールド2の順に左上の画素から右下の画素へと行なうことによってブロック複号化画像を得る。

【0048】フレーム二値画像復号化手段73では、フレーム構造のまま着目画素位置と画素値変化位置の間の画素を順次左隣の画素値と同じ画素値に設定し、二値デジタル画像を復号化し図6に示した復号化画像を得る。同様の作業を左上の画素から右下の画素へと行なうことによってブロック複号化画像を得る。

【0049】切替え手段12では、モード情報149に従ってフィールド二値画像復号化手段72の出力またはフレーム二値画像復号化手段73の出力のいずれかを選択し、二値デジタル復号化画像信号153として出力する。

【0050】上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像の画素値が変化する位置に基づいて符号化された符号化画像信号に対して、モード情報149及び切替え手段11、12を用いることにより正しく復号化することができる。

【0051】なお、本実施の形態では出力先の切替え手段11と入力元の切替え手段12を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0052】また、図4、図5、図6では8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

【0053】(実施の形態3) 図3は、本発明の実施の形態3における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2と同一の手段および信号については同じ番号を付し説明を省略する。

【0054】同図において、76は画素値の変化する位置から二値画像を復元する二値画像復号化手段、77はフィールド構造のブロック画像をフレーム構造に並べ換えるフィールド/フレーム並べ替え手段、157は復号化された二値ブロック画像信号を示す。

【0055】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14を逆多重化によりモード情報149と符号化画像信号142に分離する。復号化手段70では、符号化画像信号142より差分値151を復号化する。

【0056】変化位置予測手段63では、すでに復号化済みの二値画像の画素値が変化する位置から次に画素値が変化する位置を予測し、予測変化位置154を出力する。差分値加算手段71では、差分値151と予測変化位置154の和を求め画素値変化位置152を出力する。

【0057】二値画像復号化手段76では、復号化済みの着目画素と画素変化位置152の間の画素の画素値を左隣の画素と同じ画素値に設定することにより二値画像を復号化する。

【0058】切替え手段11では、モード情報149がフィールドモードを示している場合画像をフィールド/フレーム並べ替え手段77に入力し、モード情報149がフレームモードを示している場合フィールド/フレーム並べ替え手段77をスキップする。

【0059】フィールド/フレーム並べ替え手段77では、図7(a)に示した2つのフィールドが連続する構造になっているフィールド構造ブロックをライン毎に並べ換えることによって、図7(b)に示す2つのフィールドに属する画素がライン毎に交互に並ぶフレーム構造に変換する。

【0060】切り換え手段12では、モード情報149に従ってフィールド/フレーム並べ替え手段77の出力またはフィールド/フレーム並べ替え手段77をスキップしてきた信号のいずれかを選択して二値デジタル復号化画像信号153を出力する。

【0061】上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像の画素値が変化する位置に基づいて符号化された符号化画像信号に対して、二値デジタルブロック画像を復号化後にモード情報149に従ってフィールド構造からフレーム

構造に並べ換え出力するか、そのまま出力するかを選択することによって正しく二値デジタル画像を復号化することができる。

【0062】なお、本実施の形態では出力先切替え手段11と入力元切替え手段12を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0063】また、図7(a)、図7(b)では、8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

【0064】(実施の形態4) 図8は、本発明の実施の形態4における画像符号化装置のブロック図である。同図において、図1に示す実施の形態1および図2に示す実施の形態2と同一の手段および信号については同じ番号を付し説明を省略する。同図において、31は二値デジタルブロック画像をフィールド単位でダウンサンプリングするフィールドダウンサンプル手段、32は二値デジタルブロック画像をフレーム単位でダウンサンプリングするフレームダウンサンプル手段、33はダウンサンプリングされた画像を符号化する符号化手段、34はモード情報を判定しモード情報を出力するモード判定手段を示す。

【0065】以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割された二値デジタル画像は、ブロック毎に入力画像信号110としてモード判定手段34および切替え手段11に入力される。

【0066】モード判定手段34では、分散値あるいはライン間の相関値などを用いてフィールド単位ダウンサンプリング31で処理するかまたはフレーム単位ダウンサンプリング32で処理するかのいずれかを判定し、モード情報111として出力する。ライン間の相関を用いたフィールド単位で処理するかフレーム単位で処理するかのモード判定の例では、フィールド単位およびフレーム単位で隣接するライン毎に画素値の排他的論理和演算を行い、不一致の画素値の数の少ない方を選択するようにしたものである。例えば、図10(a)に示すブロックを判定する場合、図11に示すように、フレーム単位で隣接ラインを判定する場合を図11(a)に示し、フィールド単位で隣接ラインを判定する場合を図11(b)に示すが、不一致画素には"1"で示すものとし、各々の不一致画素の総和は"7"と"3"となりフィールド単位でダウンサンプル処理を行った方が有利であることが判る。なお、図11の左の番号は、図10(a)のライン番号を示している。

【0067】切替え手段11では、モード情報111に従って入力ブロック画像信号110をフィールドダウンサンプル手段31またはフレームダウンサンプル手段32へ入力する。

【0068】フィールドダウンサンプル手段31では、入力されたブロック画像をフィールド毎にダウンサンプリングし、フィールドダウンサンプリング画像112として出力する。例えば、図10(a)に示す入力画像信号を1/2とする場合は、2×2の画素を"1"の数で"1"とするか"0"とするかを決定するもので、フィールド単位でダウンサンプリングすると図10(c)のようになる。フレームダウンサンプル手段31では、入力されたブロック画像をフレーム構造のままダウンサンプリングし、フレームダウンサンプリング画像113として出力する。例えば、図10(a)に示す入力画像信号を1/2とする場合は、2×2の画素を"1"の数で"1"とするか"0"とするかを決定するもので、フレーム単位でダウンサンプリングすると図10(b)のようになる。

【0069】切替え手段12は、モード情報111に従ってフィールドダウンサンプリング画像112またはフレームダウンサンプリング画像113のいずれかを選択し符号化手段33に入力する。符号化手段33では、入力された二値ブロック画像を符号化し、符号化画像信号114を出力する。多重化手段13は、モード情報111と符号化手段33からの符号化画像信号114を多重化し、ビットストリーム信号14を出力する。

【0070】上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像に対してモード判定手段34によってフィールド単位でのダウンサンプリングまたはフレーム単位でのダウンサンプリングのいずれか効率の良い手法を選択することによって符号化効率の向上を達成することができる。

【0071】なお、本実施の形態では出力先切替え手段11と入力元切替え手段12を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0072】(実施の形態5) 図9は、本発明の実施の形態5における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2および図11に示す実施の形態4と同一の手段および信号については同じ番号を付し説明を省略する。同図において、36は画像符号化信号から二値ブロック画像を復号化する復号化手段、37は二値ブロック画像をフィールド単位でアップサンプリングするフィールドアップサンプル手段、38は二値ブロック画像をフレーム単位でアップサンプリングするフレームアップサンプル手段を示す。

【0073】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14を逆多重化によりモード情報111と符号化画像信号114に分離する。復号化手段36は、画像符号化信号114からブロック画像を復号化し、二値ブロック復号化画像信号116を出力す

る。

【0074】切替え手段11は、モード情報111に従って二値ブロック復号化画像信号116をフィールドアップサンプル手段37またはフレームアップサンプル手段38のいずれかに入力する。

【0075】フィールドアップサンプル手段37では、ブロック画像をフィールド毎にアップサンプリングし二値ブロック復号化画像を出力する。

【0076】フレームアップサンプル手段38では、ブロック画像をフレーム構造のままアップサンプリングし二値ブロック復号化画像を出力する。

【0077】切替え手段12では、モード情報111に従ってフィールドアップサンプル手段37の出力またはフレームアップサンプル手段38の出力のいずれかを選択して二値ディジタル復号化画像信号117を出力する。

【0078】上記により説明した本実施の形態によれば、インタレース構造を考慮したダウンサンプリングを行なった符号化画像信号に対して、モード情報111、切替え手段11および切替え手段12を用いることによって正しくインタレース構造を持つ二値ディジタル画像を復号化することができる。

【0079】なお、本実施の形態では出力先切替え手段11と入力元切替え手段12を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0080】（実施の形態6）図12は、本発明の実施の形態6における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2および図11に示す実施の形態4と同一の手段および信号については同じ番号を付し説明を省略する。同図において、47は符号化画像信号から二値ブロック画像を復号化する復号化手段、47はブロック画像をアップサンプリングするアップサンプル手段、48はブロック画像をフィールド構造からフレーム構造に並べ換えるフィールド／フレーム並べ換え手段を示す。

【0081】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14を逆多重化によりモード情報111と符号化画像信号114に分離する。復号化手段46は、符号化画像信号114からブロック画像を復号化し、二値ブロック復号化画像信号126を出力する。

【0082】アップサンプル手段47は、ブロック復号化画像信号126のアップサンプルを行なう。

【0083】切替え手段11は、モード情報111がフィールドモードを示している場合アップサンプルされた画像をフィールド／フレーム並べ換え手段48に入力し、モード情報111がフレームモードを示している場合画像をフィールド／フレーム並べ換え手段48をスキ

ップする。

【0084】フィールド／フレーム並べ換え手段48では、図7（a）に示した2つのフィールドが各々連続する構造になっているフィールド構造ブロックをライン毎に並べ換えることによって、図7（b）に示した2つのフィールドに属する画素がライン毎に交互に並ぶフレーム構造に変換する。

【0085】切替え手段12は、モード情報111に従ってフィールド／フレーム並べ換え手段48の出力またはフィールド／フレーム並べ換え手段48をスキップしてきた信号のいずれかを選択して二値ディジタル復号化画像信号128を出力する。

【0086】上記により説明した本実施の形態によれば、インタレース構造を考慮したダウンサンプリングを行なった符号化画像信号に対して、モード情報111、切替え手段11、切替え手段12およびフィールド／フレーム並べ換え手段48を用いることによって正しくインタレース構造を持つ二値ディジタル画像を復号化することができる。

【0087】（実施の形態7）図13は、本発明の実施の形態7における画像符号化装置のブロック図である。同図において、図1に示す実施の形態1と同一の手段および信号については同じ番号を付し説明を省略する。

【0088】同図において、51はフィールド／フレームモードを判定しモード情報を出力するモード判定手段、52は二値ディジタル画像を符号化する符号化手段、53はフィールド単位で動き補償を行うフィールド動き補償手段、54はフレーム単位で動き補償を行うフレーム動き補償手段、56は復号化された画像を保持するメモリ、57は符号化画像信号から二値ディジタル画像を復号化する復号化手段、58はフィールド単位で動き推定を行うフィールド動き推定手段、59はフレーム単位で動き推定を行うフレーム動き推定手段を示す。

【0089】以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割手段によって、複数の画素から構成された2次元ブロックに分割された二値ディジタル画像は、ブロック毎に入力画像信号131としてモード判定手段51及び符号化手段52に入力される。

【0090】フィールド動き推定手段58では、入力画像信号131および参照画像信号136からフィールド毎に動き推定を行い、フィールド動きベクトル138を出力する。フレーム動き推定手段59では、入力画像信号131及び参照画像信号136からフレーム構造のまま動き推定を行い、フレーム動きベクトル139を出力する。

【0091】図15に動き推定処理の概念図を示し以下に説明する。メモリ56からの参照画像信号136である参照画像ブロック210内を、入力画像信号131である入力画像ブロック213をスキャンしながらプロッ

クマッチングを行い一番合致した検出ブロック212を検出するもので、検出ブロック212と入力画像ブロック213との座標差である動きベクトル211を求める。ブロックマッチングは、対象が二値デジタル画像であるので、参照画像ブロック210内を順次スキャンして入力画像ブロック213の各画素値の例えば排他的論理和演算により一致画素の総和が一番大きい位置を検出ブロック212として検出するものである。

【0092】フィールド動き補償手段53では、参照画像信号136およびフィールド動きベクトル138を用いてフィールド毎に動き補償を行いフィールド予測画像134を出力する。フレーム動き補償手段54では、参照画像信号136およびフレーム動きベクトル139からフレーム構造のまま動き推定/動き補償を行いフレーム予測画像信号135を出力する。

【0093】モード判定手段51では、フィールド予測画像信号134とフレーム予測画像信号135を比較し、動き補償予測誤差がより少なくなるモードを判定し、モード情報133として出力する。切替え手段12(a)では、モード情報133に従ってフィールド予測画像信号134またはフレーム予測画像信号135のいずれかを選択し、符号化手段52および復号化手段57へ入力する。

【0094】符号化手段52では、予測画像信号およびモード情報133を用いて入力画像信号131を符号化し、符号化画像信号132を出力する。多重化手段13は、モード情報133、符号化画像信号132および動きベクトル140を多重化し、ビットストリーム信号14を出力する。

【0095】復号化手段57では、符号化画像信号、予測画像信号およびモード情報133を用いて二値デジタル画像を復号化し、復号化画像信号137を出力する。メモリ56は、復号化画像信号137を保持し、参照画像信号136を出力する。切替え手段12(b)では、モード情報133に従ってフィールド動きベクトル138またはフレーム動きベクトル139のいずれかを選択し動きベクトル信号140として出力する。

【0096】上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像に対してモード判定手段51によってより動き補償予測誤差が少なくなる動き補償手段を選択することによって符号化効率の向上を達成することができる。

【0097】(実施の形態8) 図14は、本発明の実施の形態8における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2および図14に示す実施の形態7と同一の手段および信号については同じ番号を付し説明を省略する。

【0098】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15

は、ビットストリーム信号14からモード情報133、符号化画像信号132および動きベクトル140の各信号を、それぞれ分離して出力する。参照画像信号136は、切替え手段11(b)によりモード情報133に従ってフィールド動き補償手段53またはフレーム動き補償手段54のいずれかに入力される。動きベクトル信号140は、切替え手段11(a)によりモード情報133に従ってフィールド動き補償手段53またはフレーム動き補償手段54のいずれかに入力される。

【0099】フィールド動き補償手段53は、参照画像信号136及び動きベクトル信号140を用いてフィールド毎に動き補償を行い、フィールド予測画像信号134を出力する。フレーム動き補償手段54は、参照画像信号136及び動きベクトル信号140を用いてフレーム構造のまま動き補償を行いフレーム予測画像信号135を出力する。

【0100】切替え手段12では、モード情報133に従ってフィールド予測画像信号134またはフレーム予測画像信号135のいずれかを選択し、復号化手段57へ入力する。復号化手段57では、モード情報133および予測画像信号を用いて符号化画像信号132を復号化し、二値デジタル復号化画像信号137を出力する。メモリ56は、復号化画像信号137を保持し参照画像信号136を出力する。

【0101】上記により説明した本実施の形態8によれば、インタレース構造を考慮した動き補償を行いその残差を符号化した符号化画像信号に対して、モード情報133及び切り替え手段11(a)、11(b)、12を用いることによって正しくインタレース構造を持つ二値デジタル画像を復号化することができる。

【0102】なお、本実施の形態では、出力先切替え手段11(a)、11(b)と入力元切替え手段12を用いているが、切替え手段11(a)、11(b)または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0103】(実施の形態9) 図16は、本発明の実施の形態9における画像符号化装置のブロック図である。同図において、図1に示す実施の形態1および図2に示す実施の形態2と同一の手段および信号については同じ番号を付し説明を省略する。

【0104】同図において、81はカラー画像信号からフィールド単位で符号化するかフレーム単位で符号化するかをブロック毎に判定するモード判定手段、82はカラーブロック画像をフィールド単位で符号化するカラー画像フィールド符号化手段、83はカラーブロック画像をフレーム単位で符号化するカラー画像フレーム符号化手段、84は二値ブロック画像をフィールド単位で符号化する二値画像フィールド符号化手段、85は二値ブロック画像をフレーム単位で符号化する二値画像フレーム符号化手段を示す。

【0105】以上のように構成された画像符号化装置について、以下にその動作を説明する。カラーデジタル画像は、図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割されカラーブロック画像161としてモード判定手段81および切替え手段11(a)に入力される。

【0106】モード判定手段81は、入力されたカラーブロック画像161から画素値の分散や相関などを用いてフィールド単位符号化またはフレーム単位符号化のいずれかを選択し、モード情報163として出力する。

【0107】切替え手段11(a)は、モード情報163に従ってカラーブロック画像161をカラー画像フィールド符号化手段82またはカラー画像フレーム符号化手段83のいずれかに入力する。また、切替え手段11(c)は、モード情報163に従ってモード情報163をカラー画像フィールド符号化手段82またはカラー画像フレーム符号化手段83のいずれかに入力する。

【0108】カラー画像フィールド符号化手段82では、まずモード情報163を符号化し、次にカラーブロック画像信号161をフィールド毎に符号化し出力する。カラー画像フレーム符号化手段83では、まずモード情報163を符号化し、次にカラーブロック画像信号161をフレーム構造のまま符号化し出力する。切替え手段12(a)では、モード情報163に従ってカラー画像フィールド符号化手段82の出力またはカラー画像フレーム符号化手段83の出力を選択し、符号化カラー画像信号164として出力する。

【0109】切替え手段11(b)は、モード情報163に従って図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割された二値ブロック画像162を二値フィールド符号化手段84または二値フレーム符号化手段85のいずれかに入力する。

【0110】二値画像フィールド符号化手段84は、二値ブロック画像164をフィールド毎に符号化し出力する。二値画像フレーム符号化手段85は、二値ブロック画像162をフレーム構造のまま符号化し出力する。

【0111】切替え手段12(b)は、モード情報163に従って二値画像フィールド符号化手段84の出力または二値画像フレーム符号化手段85の出力を選択し符号化二値画像信号165として出力する。多重化手段13は、符号化カラー画像信号164および符号化二値画像信号165を多重化し、ビットストリーム信号14として出力する。

【0112】上記により説明した本実施の形態によれば、インタレース構造を持つカラーデジタル画像信号および二値デジタル画像信号に対して、カラーデジタル画像のモード情報に従って二値デジタル画像の符号化を行うことにより、二値デジタル画像のモード情報を符号化する必要がなく符号化効率の向上が達成でき

る。

【0113】なお、本実施の形態では、出力先の切替え手段11(a)、11(b)および11(c)と入力元の切替え手段12(a)、12(b)を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0114】(実施の形態10)図17は、本発明の実施の形態10における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2および図16に示す実施の形態9と同一の手段および信号については同一の番号を付し説明を省略する。同図において、88は符号化カラー画像信号164から符号化のモード情報163を復号化するモード復号化判定手段、89は符号化カラー画像信号164からフィールド単位でカラーブロック画像を復号化するカラー画像フィールド復号化手段、90は符号化カラー画像信号164からフレーム構造のままカラーブロック画像を復号化するカラー画像フレーム復号化手段、91は符号化二値画像信号165からフィールド単位で二値ブロック画像を復号化する二値画像フィールド復号化手段、92は符号化二値画像信号165からフレーム単位で二値ブロック画像を復号化する二値画像フレーム復号化手段を示す。

【0115】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14より符号化カラー画像信号164および符号化二値画像信号165を分離して出力する。モード復号化判定手段88は、符号化カラー画像信号164から符号化されたモード情報を分離し、符号化カラー画像信号164を出力すると共に、分離されたカラー画像のモード情報163を復号化する。

【0116】切替え手段11(a)は、モード情報163に従って符号化カラー画像信号164をカラー画像フィールド復号化手段89またはカラー画像フレーム復号化手段90のいずれかに入力する。

【0117】カラー画像フィールド復号化手段89は、符号化カラー画像信号164からフィールド単位でカラーブロック画像を復号化する。カラー画像フレーム復号化手段90は、符号化カラー画像信号164からフレーム構造のままカラーブロック画像を復号化する。

【0118】切替え手段12(a)は、モード情報163に従ってカラー画像フィールド符号化手段89の出力またはカラー画像フレーム符号化手段90の出力のいずれかを選択し、復号化されたカラーブロック画像168として出力する。

【0119】切替え手段11(b)では、カラー画像のモード情報163に従って二値符号化画像信号165を二値画像フィールド復号化手段91または二値画像フレーム復号化手段92のいずれかに入力する。

【0120】二値画像フィールド復号化手段91では、

符号化二値画像信号165からフィールド単位で二値ブロック画像を復号化する。二値画像フレーム復号化手段92では、符号化二値画像信号165からフレーム構造のまま二値ブロック画像を復号化する。

【0121】切替え手段12(b)では、モード情報163に従って二値画像フィールド復号化手段91の出力または二値画像フレーム復号化手段92の出力のいずれかを選択し、復号化された二値ブロック画像169として出力する。

【0122】上記により説明した本実施の形態によれば、インタレース構造を持つカラーディジタル画像および二値ディジタル画像の符号化画像信号に対して、カラー画像、二値画像ともにモード復号化判定手段88で復号化されたカラー画像のモード情報に従って復号化することにより、二値画像のモード情報を用いることなく正しく復号化することができる。

【0123】なお、本実施の形態では出力先切替え手段11(a)、11(b)と入力元切替え手段12

(a)、12(b)を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0124】(実施の形態11)図18は、本発明の実施の形態11における画像符号化装置のブロック図である。同図において、図1に示す実施の形態1および図2に示す実施の形態2と同一の手段および信号については同じ番号を付し説明を省略する。同図において、93は二値画像信号からフィールド単位で符号化するかフレーム単位で符号化するかをブロック毎に選択するモード判定手段、94は二値ブロック画像をフィールド単位で符号化する二値画像フィールド符号化手段、95は二値ブロック画像をフレーム単位で符号化する二値画像フレーム符号化手段、96はカラーブロック画像をフィールド単位で符号化するカラー画像フィールド符号化手段、97はカラーブロック画像をフレーム単位で符号化するカラー画像フレーム符号化手段を示す。

【0125】以上のように構成された画像符号化装置について、以下にその動作を説明する。二値ディジタル入力画像信号は、図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割され、二値ブロック画像162としてモード判定手段93および切替え手段11(a)に入力される。

【0126】モード判定手段93は、入力された二値ブロック画像162から画素値の分散や相関などを用いてフィールド単位符号化処理またはフレーム単位符号化処理のいずれかを判定し、モード情報170として出力する。

【0127】切替え手段11(a)は、モード情報170に従って二値ブロック画像162を二値画像フィールド符号化手段94または二値画像フレーム符号化手段95のいずれかに入力する。切替え手段11(c)は、モ

ード情報170に従ってモード情報を二値画像フィールド符号化手段94または二値画像フレーム符号化手段94のいずれかに入力する。

【0128】二値画像フィールド符号化手段94では、まずモード情報170を符号化し、次に二値ブロック画像162をフィールド毎に符号化し出力する。二値画像フレーム符号化手段95では、まずモード情報170を符号化し、次に二値ブロック画像162をフレーム構造のまま符号化し出力する。

【0129】切替え手段12(a)では、モード情報170に従って二値画像フィールド符号化手段94の出力または二値画像フレーム符号化手段95の出力を選択し、符号化二値画像信号171として出力する。切替え手段11(b)は、モード情報170に従って図中に示されていないブロック分割手段によって、複数の画素から構成された2次元ブロックに分割されたカラーブロック画像161をカラーフィールド符号化手段96またはカラーフレーム符号化手段97のいずれかに入力する。

【0130】カラー画像フィールド符号化手段96は、カラーブロック画像161をフィールド毎に符号化し出力する。カラー画像フレーム符号化手段97は、カラーブロック画像161をフレーム構造のまま符号化し出力する。切替え手段12(b)は、モード情報170に従ってカラー画像フィールド符号化手段96の出力またはカラー画像フレーム符号化手段97の出力を選択し符号化カラー画像信号172として出力する。多重化手段13は、符号化二値画像信号171と符号化カラー画像信号172を多重化し、ビットストリーム信号14を出力する。

【0131】上記により説明した本実施の形態によれば、インタレース構造を持つカラーディジタル画像信号および二値ディジタル画像信号に対して、二値ディジタル画像のモード情報に従ってカラーディジタル画像の符号化を行うことによりカラーディジタル画像のモード情報を符号化する必要がなく符号化効率の向上が達成できる。

【0132】なお、本実施の形態では出力先切替え手段11(a)、11(b)および11(c)と入力元切替え手段12(a)、12(b)を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0133】(実施の形態12)図19は、本発明の実施の形態12における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2、図16に示す実施の形態9および図18に示す実施の形態11と同一の手段および信号については同一の番号を付し説明を省略する。同図において、98は符号化二値画像信号からモード情報170を復号化するモード復号化判定手段を示す。

【0134】以上のように構成された画像復号化装置に

について、以下にその動作を説明する。逆多重手段15は、ビットストリーム信号14から符号化二値画像信号171と符号化カラー画像信号172を分離し出力する。モード復号化判定手段98は、符号化二値画像信号171から符号化二値画像信号と二値画像のモード情報を分離し、符号化二値画像信号171を出力する共に二値画像のモード情報170を復号化する。

【0135】切替え手段11(a)は、モード情報170に従って符号化二値画像信号171を二値画像フィールド復号化手段91または二値画像フレーム復号化手段92のいずれかに入力する。

【0136】二値画像フィールド復号化手段91は、符号化二値画像信号171からフィールド単位で二値ブロック画像を復号化する。二値画像フレーム復号化手段92は符号化二値画像信号171からフレーム構造のまま二値ブロック画像を復号化する。

【0137】切替え手段12(a)は、モード情報170に従って二値画像フィールド符号化手段91の出力または二値画像フレーム符号化手段92の出力のいずれかを選択し、復号化された二値ブロック画像169として出力する。

【0138】切替え手段11(b)では、二値画像のモード情報170に従って符号化カラー画像信号172をカラー画像フィールド復号化手段89またはカラー画像フレーム復号化手段90のいずれかに入力する。

【0139】カラー画像フィールド復号化手段89では、符号化カラー画像信号172からフィールド単位でカラーブロック画像を復号化する。カラー画像フレーム復号化手段90では、符号化カラー画像信号172からフレーム構造のままカラーブロック画像を復号化する。

【0140】切替え手段12(b)では、モード情報170に従ってカラー画像フィールド復号化手段89の出力または二値画像フレーム復号化手段92の出力のいずれかを選択し、復号化されたカラーブロック画像168として出力する。

【0141】上記により説明した本実施の形態によれば、インタレース構造を持つカラーデジタル画像および二値デジタル画像の符号化画像信号に対して、カラー画像、二値画像ともにモード復号化判定手段98で復号化された二値画像のモード情報に従って復号化することにより、カラー画像のモード情報を用いることなく正しく復号化することができる。

【0142】なお、本実施の形態では出力先切替え手段11(a)、11(b)と入力元切替え手段12(a)、12(b)を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を達成することができる。

【0143】(実施の形態13) 図20は本発明の実施の形態13における画像符号化装置のブロック図である。同図において図1に示す実施の形態1と同一の手段

および信号については同じ番号を付し説明を省略する。

【0144】同図において187はフィールド単位で着目画素の周辺画素の画素値の分布状態を調べるフィールド画素値分布調査手段、188はフレーム単位で着目画素の周辺画素の画素値の分布状態を調べるフレーム画素値分布調査手段、189は周辺画素値の分布状態に応じて着目画素の画素値の確率を決定する確率分布決定手段、190は決定した確率分布に応じて着目画素の画素値を算術符号化する画素値符号化手段、191はフィールド単位で符号化された符号化信号とフレーム単位で符号化された符号化信号を比較しフィールド/フレームモードを判定し、モード情報を出力するモード判定手段、192は画素値を保持するメモリを示す。

【0145】以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割手段によって複数の画素から構成された2次元ブロックに分割された二値デジタル画像180は、まずメモリ192に入力され画素値が保持される。

【0146】フィールド画素値分布調査手段187およびフレーム画素値分布調査手段188は、符号化対象画素の周辺の画素値をメモリ192から読み出し画素値の分布状態を決定する。図22および図23は8×8画素に分割されたブロックを示し、画素位置Aの画素が符号化対象画素である。また黒くハッチングされた画素は符号化済みの画素を示す。フィールド画素値分布調査手段187では、図22に示した画素位置B、C、Dの画素値を符号化対象画素Aの周辺画素値として出力する。また、フレーム画素値分布調査手段188では、図23に示した画素位置B、C、Dの画素値を符号化対象画素Aの周辺画素値として出力する。

【0147】確率分布決定手段189では、フィールド画素値分布調査手段187およびフレーム画素値分布調査手段188で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。すなわち、(B、C、D)が(黒、白、黒)であった場合、図24の確率分布表より符号化対象画素Aが黒である確率は0.75、白である確率は0.25とするものである。

【0148】画素値符号化手段190では、確率分布決定手段189によって決定した確率分布に基づいて画素値を算術符号化し、符号化画像信号を出力する。算術符号は、シンボル系列(符号化すべきデータ系列)の発生確率に応じて[0、1)の区間に分割していき、符号語を算術演算により逐次的に構成し、最終的に得られた区間内の位置を示す2進小数値をその系列の符号とするものである。ここで、[0、1)という記号は、0以上1未満の区間または領域であることを示している。

【0149】図30に算術符号の概念図を示し説明する。確率分布決定手段189で求められた対象画素の周

辺画素値B、C、Dから図24の確率分布表に基づいて、数値直線上の領域を設定していく。(表1)にその手順を示すが、シンボル系列S=11100...を符号化した場合、周辺画素B、C、Dから対象画素の"1"となる発生確率と"0"となる発生確率は、図24の確率分布表から0.95と0.05である。図30に示すとP0とP1で表現でき、対象画素が"1"の場合はP0側の領域が選択される。

【0150】

【表1】

シンボル	周辺画素 B, C, D	発生確率	区画幅	区間の 下限値	区間の 上限値
1	1 1 1	0.95	0.95	0.0	0.95
1	1 1 1	0.95	0.903	0.0	0.903
1	1 1 1	0.95	0.857	0.0	0.857
0	1 0 1	0.25	0.214	0.643	0.857
0	0 0 0	0.95	0.203	0.654	0.857
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
符号出力					

【0151】次に、2番目の対象画素については、1番目のA1の領域に対して、発生確率に基づいて領域を分割し、対象画素の画素値に応じて領域を選択していくものでA11の領域が選択される。以後、前対象画素の選択した領域に対して、同様に発生確率に基づいて領域を分割し、対象画素によりどちらかの領域を選択するもので、最終画素の領域の位置を示す2進小数値をその系列の符号とするものである。

【0152】モード判定手段191では、フィールド単位で画素値の分布状態を調査した確率分布に基づいて得られた符号化画像信号と、フレーム単位で画素値の分布状態を調査した確率分布に基づいて選られた符号化画像信号とを1ブロック毎に比較し、符号長の短い方を選択するフィールド/フレームモードを判定し、モード情報185として出力する。

【0153】切替え手段12では、モード情報185に従ってフィールド単位符号化画像信号またはフレーム単位符号化画像信号のいずれかを選択し符号化画像信号186として出力する。多重化手段13は、モード情報185および符号化画像信号186を多重化し、ビットストリーム信号14として出力する。

【0154】上記により説明した本実施の形態によれば、インターレース構造を持つ二値ディジタル画像を、周辺画素値の分布状態に応じて符号化対象画素の画素値

の確率分布を決定し算術符号化する際に、フィールド単位で確率分布を決定する手法とフレーム単位で確率分布を決定する手法のいずれか効率の良い方をモード判定手段191によってブロック毎に判定し切替えることによって符号化効率の向上を達成することができる。

【0155】なお、本実施の形態では図22、23では8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

10 【0156】また、図22、23、24では符号化対象画素の周辺画素としてB、C、Dの3画素を用いたが、さらに多くの画素を用いることも可能である。

【0157】(実施の形態14)図21は、本発明の実施の形態14における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2、および図20に示す実施の形態13と同一の手段および信号については同じ番号を付し説明を省略する。

20 【0158】同図において194は確率分布の応じて復号化対象画像を算術復号化する画素値復号化手段、193は復号化された二値ディジタル画像信号を示す。

【0159】以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14からモード情報185と符号化画像信号186とを分離し出力する。切替え手段11では、モード情報185に従ってメモリ192内に保持されている既に復号化済みの画素の画素値データをフィールド画素値分布調査手段187またはフレーム画素値分布調査手段188に入力する。

30 【0160】フィールド画素値分布調査手段187では、図22に例示した復号化対象ブロックにおいて、画素位置Aが復号化対象画素であるとする、黒くハッチングされた画素は既に復号化済みであり、画素位置B、C、Dの画素値を復号化対象画素Aの周辺画素値として出力し、また、フレーム画素値分布調査手段188では、図23に例示した復号化対象ブロックにおいて、同様に復号化対象画素Aの周辺の周辺画素値として画素位置B、C、Dの画素値を出力する。

40 【0161】切替え手段12では、モード情報185に従ってフィールド単位での画素値の分布状態、または、フレーム単位での画素値の分布状態のいずれかを確率分布決定手段189に入力する。

【0162】確率分布決定手段189では、フィールド画素値分布調査手段187またはフレーム画素値分布調査手段188で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。すなわち、(B、C、D)が(黒、白、黒)であった場合、図24の確率分布表により復号化対象画素Aが黒である確率は0.75、白である確率は0.25となる。

50 【0163】画素値復号化手段194では、確率分布決

定手段189によって決定した確率分布に基づいて画素値を算術復号化により復号化し、復号化画像信号193として出力する。また出力された復号化画像信号はメモリ192に入力され保持される。算術符号の復号化は、対象画素Aの周辺画素から図24の確率分布表で決定される確率分布に基づいて領域を分割して、符号化された領域の位置がどちら側に存在しているかにより、対象画素の値を決定するものである。

【0164】上記により説明した本実施の形態によれば、二値ディジタル画像の画素値を算術符号を用いて復号化する画像復号化装置において、復号化対象画素の画素値の確率分布を、復号化対象画素の周辺画素の画素値の分布状態に応じて決定する際に、モード情報185および切替え手段11、12を用いることによって、インターレース構造を持つ画像においても正しく復号化することができる。

【0165】なお、本実施の形態では出力先切替え手段11と入力元切替え手段12を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を得ることができる。

【0166】また、図22、図23では8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

【0167】さらに、図22、図23、図24では符号化対象画素の周辺画素としてB、C、Dの3画素を用いたがさらに多くの画素を用いることも可能である。

【0168】（実施の形態15）図25は、本発明の実施の形態15における画像符号化装置のブロック図である。同図において図1に示す実施の形態1、図13に示す実施の形態および図20に示す実施の形態13と同一の手段および信号については同じ番号を付し説明を省略する。

【0169】同図において、51はフィールド／フレームモードを判定しモード情報を出力するモード判定手段、52は二値ディジタル画像を符号化する符号化手段、53はフィールド単位で動き補償を行うフィールド動き補償手段、54はフレーム単位で動き補償を行うフレーム動き補償手段、56は復号化された画像を保持するメモリ、57は符号化画像信号から二値ディジタル画像を復号化する復号化手段、58はフィールド単位で動き推定を行うフィールド動き推定手段、59はフレーム単位で動き推定を行うフレーム動き推定手段、201はフィールド単位で動き補償予測画像において符号化対象画素と同じ位置およびその周辺の画素の画素値の分布状態を調査するフィールド画素値分布調査手段、202はフレーム単位で動き補償予測画像において符号化対象画素と同じ位置およびその周辺の画素の画素値の分布状態を調査するフレーム画素値分布調査手段、200は動き補償予測画像信号、203は符号化画像信号を示す。

【0170】以上のように構成された画像符号化装置に

ついて、以下にその動作を説明する。まず、最初に動き推定・動き報償処理について説明する。図中に示されていないブロック分割手段によって、複数の画素から構成された2次元ブロックに分割された二値ディジタル画像は、ブロック毎に入力画像信号131としてフィールド動き推定手段58およびフレーム動き推定手段59に入力される。

【0171】フィールド動き推定手段58では、入力画像信号131および参照画像信号136からフィールド毎に動き推定を行い、フィールド動きベクトル138を出力する。フレーム動き推定手段59では、入力画像信号131および参照画像信号136からフレーム構造のまま動き推定を行い、フレーム動きベクトル139を出力する。

【0172】フィールド動き補償手段53では、参照画像信号136およびフィールド動きベクトル138を用いてフィールド毎に動き補償を行いフィールド予測画像134を出力する。フレーム動き補償手段54では、参照画像信号136およびフレーム動きベクトル139からフレーム構造のまま動き推定／動き補償を行いフレーム予測画像信号135を出力する。

【0173】モード判定手段51では、フィールド予測画像信号134とフレーム予測画像信号135を比較し、動き補償予測誤差がより少なくなるモードを判定し、モード情報133として出力する。

【0174】画素値復号化手段194では、モード情報185によって選択された動き補償予測画像信号200をフレーム画素値分布調査手段202またはフィールド画素値分布調査手段201で画素値分布状態を調査し、確率分布決定手段189によって決定した確率分布に基づいて画素値を算術復号化により復号化し、復号化画像信号204として出力する。また出力された復号化画像信号はメモリ204に入力され保持される。切替え手段12(c)は、フィールド動き推定手段58からの動きベクトル138またはフレーム動き推定手段59からの動きベクトル139のどちらかをモード情報133に従って出力する。

【0175】次に、確率分布に基づいて算術符号化する符号化処理について説明する。切替え手段12(a)では、モード情報133に従ってフィールド予測画像信号134またはフレーム予測画像信号135のいずれかを選択し、動き補償予測されて得られた動き補償予測画像はフィールド画素値分布調査手段201、およびフレーム画素値分布調査手段202に入力される。

【0176】フィールド画素値分布調査手段201およびフレーム画素値分布調査手段202では、動き補償予測画像信号200における符号化対象画素と同じ位置およびその周辺の画素の画素値を調査する。図27および図28は8×8画素に分割されたブロックを示し、図27(a)および図28(a)は動き補償予測されたプロ

ック、図27(b)および図28(b)は符号化対象ブロックを示す。

【0177】フィールド画素値分布調査手段201では、符号化対象画素が図27(b)に示される画素Aであるとする、動き補償予測ブロック内で画素Aと同じ位置にある図27(a)の画素Bおよびフィールド単位でその周辺画素となるCおよびDの画素値を符号化対象画素Aの周辺画素値の分布状態として出力する。

【0178】フレーム画素値分布調査手段202では、符号化対象画素が図28(b)に示される画素Aであるとする、動き補償予測ブロック内で画素Aと同じ位置にある図28(a)の画素Bおよびフレーム単位でその周辺画素となるCおよびDの画素値を符号化対象画素Aの周辺画素値の分布状態として出力する。

【0179】確率分布決定手段189では、フィールド画素値分布調査手段201およびフレーム画素値分布調査手段202で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。すなわち、(B, C, D)が(黒, 白, 黒)であった場合、図29に示す確率分布表より符号化対象画素Aの画素値が黒である確率は0.75、白である確率は0.25となる。

【0180】画素値符号化手段190では、確率分布決定手段189によって決定した確率分布に基づいて画素値を算出符号化し、符号化画像信号を出力する。

【0181】モード判定手段191では、フィールド単位で画素値の分布状態を調査した確率分布に基づいて得られた符号化画像信号と、フレーム単位で画素値の分布状態を調査した確率分布に基づいて選られた符号化画像信号とを一ブロック毎に比較し、符号長の短い方を判定することによってフィールド/フレームモードを決定し、モード情報185として出力する。

【0182】切替え手段12(b)では、モード情報185に従ってフィールド単位符号化画像信号またはフレーム単位符号化画像信号のいずれかを選択し符号化画像信号203として出力する。

【0183】多重化手段13は、モード情報133、185、動きベクトル信号140および符号化画像信号203を多重化して、ビットストリーム信号14を出力する。

【0184】上記により説明した本実施の形態によれば、インターレース構造を持つ二値デジタル画像を、動き補償予測画像の画素値の分布状態に応じて符号化対象画素の画素値の確率分布を決定し算術符号化する際に、フィールド単位で確率分布を決定する手法とフレーム単位で確率分布を決定する手法のいずれか効率の良い方をモード判定手段191によってブロック毎に判定し切替えることによって符号化効率の向上を達成することができる。

【0185】なお、本実施の形態では図27、28では

8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

【0186】また、図27、28、29では動き補償予測画像の画素値の分布状態を調べる対象画素として画素位置B、C、Dの3画素を用いたがさらに多くの画素を用いることも可能である。

【0187】(実施の形態16) 図26は、本発明の実施の形態16における画像復号化装置のブロック図である。同図において、図1に示す実施の形態1、図2に示す実施の形態2、図20に示す実施の形態13、図21に示す実施の形態14、および図25に示す実施の形態15と同一の手段および信号については同じ番号を付し説明を省略する。

【0188】同図において204は復号化された二値デジタル画像信号を示す。以上のように構成された画像復号化装置について、以下にその動作を説明する。逆多重化手段15は、ビットストリーム信号14からモード情報133、185、動きベクトル信号140および符号化画像信号203を分離して出力する。動きベクトル信号140は、切替え手段11によりモード情報133に従ってフィールド動き補償手段53またはフレーム動き補償手段54のいずれかに入力される。

【0189】フィールド動き補償手段53は、参照画像信号136及び動きベクトル信号140を用いてフィールド毎に動き補償を行い、フィールド予測画像信号134を出力する。フレーム動き補償手段54は、参照画像信号136及び動きベクトル信号140を用いてフレーム構造のまま動き補償を行いフレーム予測画像信号135を出力する。

【0190】フィールド画素値分布調査手段201では、図27(b)に例示した8×8画素からなる復号化対象ブロックにおいて画素Aが復号化対象画素であるとする、図27(a)に例示した動き補償予測ブロックにおいて画素Aと同じ位置の画素B、およびフィールド単位で画素Bの周辺画素である画素CおよびDの画素値を復号化対象画素Aの周辺画素値として出力し、また、フレーム画素値分布調査手段202では図28(b)に例示した8×8画素からなる復号化対象ブロックにおいて画素Aが復号化対象画素であるとする、図28

(a)に例示した動き補償予測ブロックにおいて画素Aと同じ位置の画素B、およびフレーム単位で画素Bの周辺画素である画素CおよびDの画素値を復号化対象画素Aの周辺画素値として出力する。

【0191】切替え手段12では、モード情報185に従ってフィールド単位での画素値の分布状態、またはフレーム単位での画素値の分布状態のいずれかを確率分布決定手段189に入力する。

【0192】確率分布決定手段189では、フィールド画素値分布調査手段201またはフレーム画素値分布調

査手段202で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。すなわち、(B, C, D)が(黒, 白, 黒)であった場合、図29に示す確率分布表により符号化対象画素Aが黒である確率は0.75、白である確率は0.25となる。

【0193】画素値復号化手段194では、確率分布決定手段189によって決定した確率分布に基づいて画素値を算術復号化により復号化し、復号化画像信号204として出力すると共にメモリ56に入力する。

【0194】上記により説明した本実施の形態によれば、二値デジタル画像の画素値を算術復号化を用いて復号化する画像復号化装置において、復号化対象画素の画素値の確率分布を、動き補償予測画像の画素値の分布状態に応じて決定する際に、モード情報185および切替え手段11, 12を用いることによって、インターレース構造を持つ画像においても正しく復号化することができる。

【0195】なお、本実施の形態では出力先切替え手段11と入力元切替え手段12を用いているが、切替え手段11または切替え手段12のいずれか一方のみを使用しても同一の効果を達成することができる。

【0196】また、図27, 28では8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

【0197】さらに、図27, 28, 29では符号化対象画素の周辺画素としてB, C, Dの3画素を用いたがさらに多くの画素を用いることも可能である。

【0198】(実施の形態17)本発明は、実施の形態1から16に示した構成をプログラムによってソフト的に実現し、これをフロッピーディスク等の記録媒体に記録して移送することにより、独立した他のコンピュータシステムで容易に実施することができる。図31に、記録媒体の例としてフロッピーディスクを示す。

【0199】なお、この実施の形態においては、記録媒体としてフロッピーディスクを示したが、ICカードやCD-ROM、磁気テープ等プログラムを記録できるものであれば、同様に実施することができる。

【0200】

【発明の効果】以上のように、本発明の効果としては、インターレース構造を持つデジタル画像をブロック分割しブロック毎に符号化/復号化する画像符号化装置/画像復号化装置において、ブロック毎にフィールド構造またはフレーム構造を考慮し符号化効率の良いモードを選択することにより符号化効率の顕著な改善効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における画像符号化装置のブロック図

【図2】本発明の実施の形態2における画像復号化装置のブロック図

【図3】本発明の実施の形態3における画像復号化装置のブロック図

【図4】(a)画素値の変化位置及び変化予測位置を示す図

(b)フィールドモード復号化の画素値の変化位置及び変化予測位置を示す図

(c)フィールドモード復号化ブロックを示す図

【図5】フレームモード復号化の画素値の変化位置及び変化予測位置を示す図

【図6】フレームモード復号化ブロックを示す図

【図7】(a)フィールド構造のデジタル画像ブロックを示す図

(b)フレーム構造のデジタル画像ブロックを示す図

【図8】本発明の実施の形態4における画像符号化装置のブロック図

【図9】本発明の実施の形態5における画像復号化装置のブロック図

【図10】アップサンプリングの処理例を示す図

【図11】ライン間の相関の処理例を示す図

【図12】本発明の実施の形態6における画像符号化装置のブロック図

【図13】本発明の実施の形態7における画像復号化装置のブロック図

【図14】本発明の実施の形態8における画像復号化装置のブロック図

【図15】動き推定の概念図を示す図

【図16】本発明の実施の形態9における画像符号化装置のブロック図

【図17】本発明の実施の形態10における画像復号化装置のブロック図

【図18】本発明の実施の形態11における画像符号化装置のブロック図

【図19】本発明の実施の形態12における画像復号化装置のブロック図

【図20】本発明の実施の形態13における画像符号化装置のブロック図

【図21】本発明の実施の形態14における画像復号化装置のブロック図

【図22】フィールドモード符号化/復号化ブロックを示す図

【図23】フレームモード符号化/復号化ブロックを示す図

【図24】画素値の確率分布表の一例を示す図

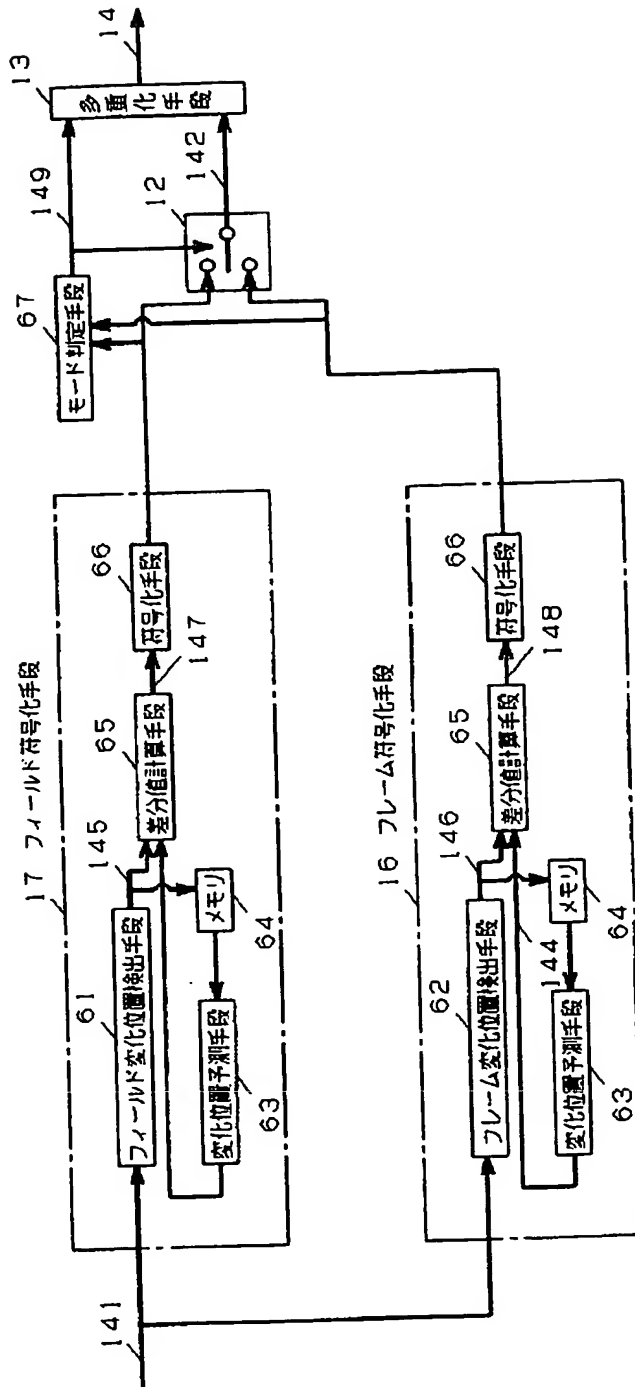
【図25】本発明の実施の形態15における画像符号化装置のブロック図

【図26】本発明の実施の形態16における画像復号化装置のブロック図

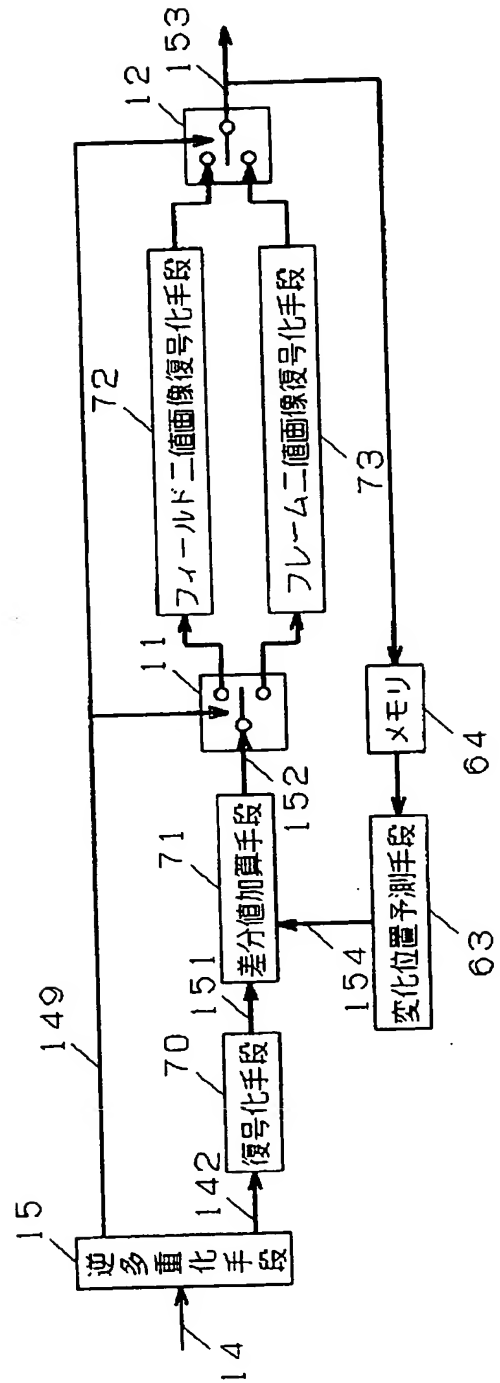
【図27】フィールドモード動き補償予測ブロックおよび符号化/復号化ブロックを示す図

【図28】フレームモード動き補償予測ブロックおよび

【図1】

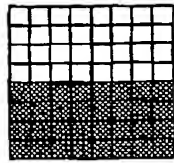


【図2】



【図7】

(a)



□ フィールド1に属する画素
 ■ フィールド2に属する画素

【図10】

(a)

	0	1	2	3	4	5	6	7
0	1	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0
2	1	1	1	1	0	0	0	0
3	1	1	1	1	1	1	0	0
4	1	1	1	1	1	0	0	0
5	1	1	1	1	1	1	0	0
6	1	1	1	1	1	0	0	0
7	1	1	1	1	1	1	0	0

(b)

1	1	0	0
1	1	1	0
1	1	1	0
1	1	1	0

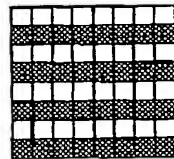
フレーム

(a)

0/1	0	0	1	1	0	0	0	0
2/3	0	0	0	1	1	1	0	0
4/5	0	0	0	0	0	1	0	0
6/7	0	0	0	0	0	1	0	0

- 7 -

(b)



□ フィールド1に属する画素
 ■ フィールド2に属する画素

(c)

1	0	0	0
1	1	1	0
1	1	1	0
1	1	1	0

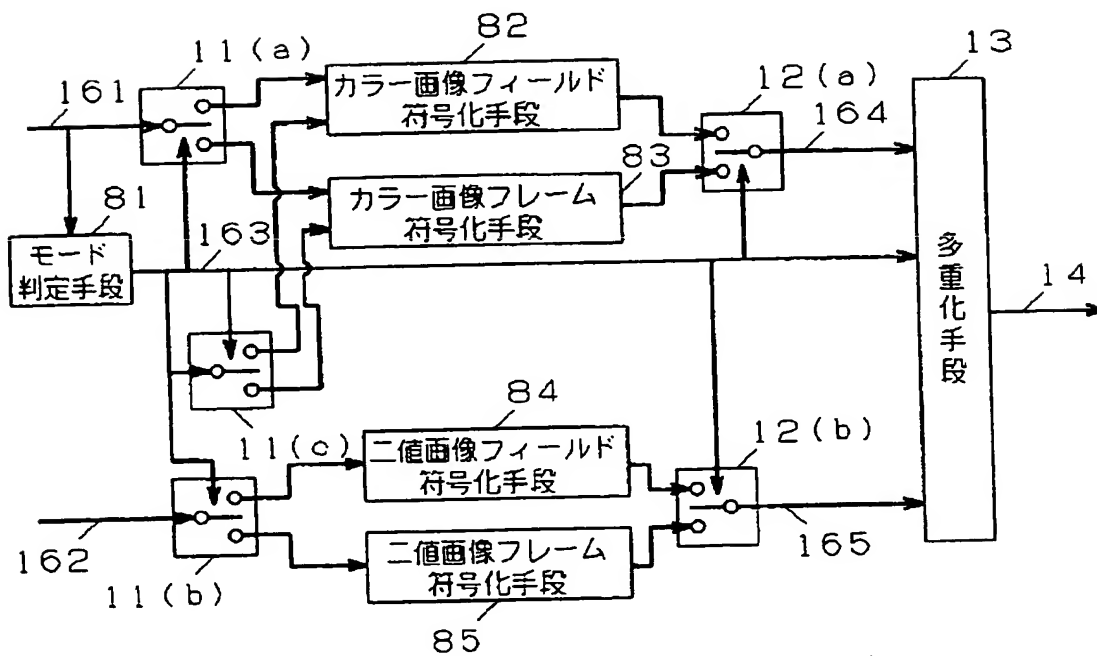
フィールド

(b)

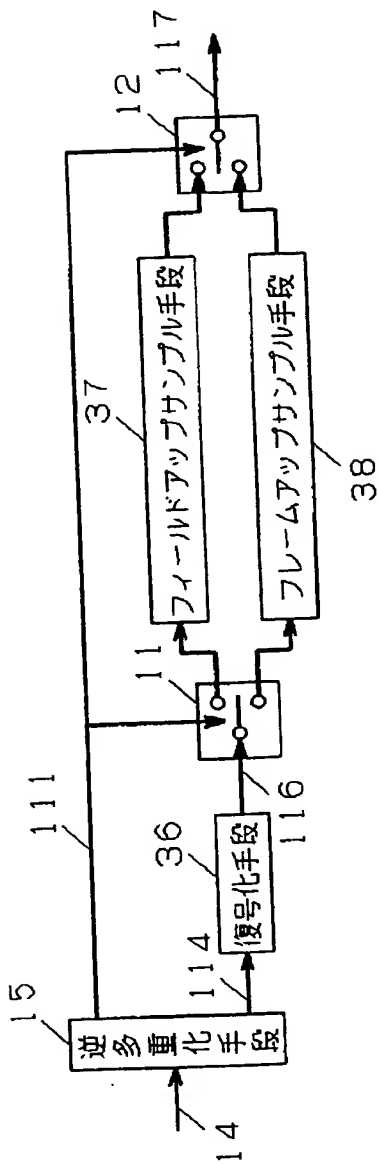
0/2	0	0	1	0	0	0	0	0
1/3	0	0	0	0	1	1	0	0
4/6	0	0	0	0	0	0	0	0
5/7	0	0	0	0	0	0	0	0

- 3 -

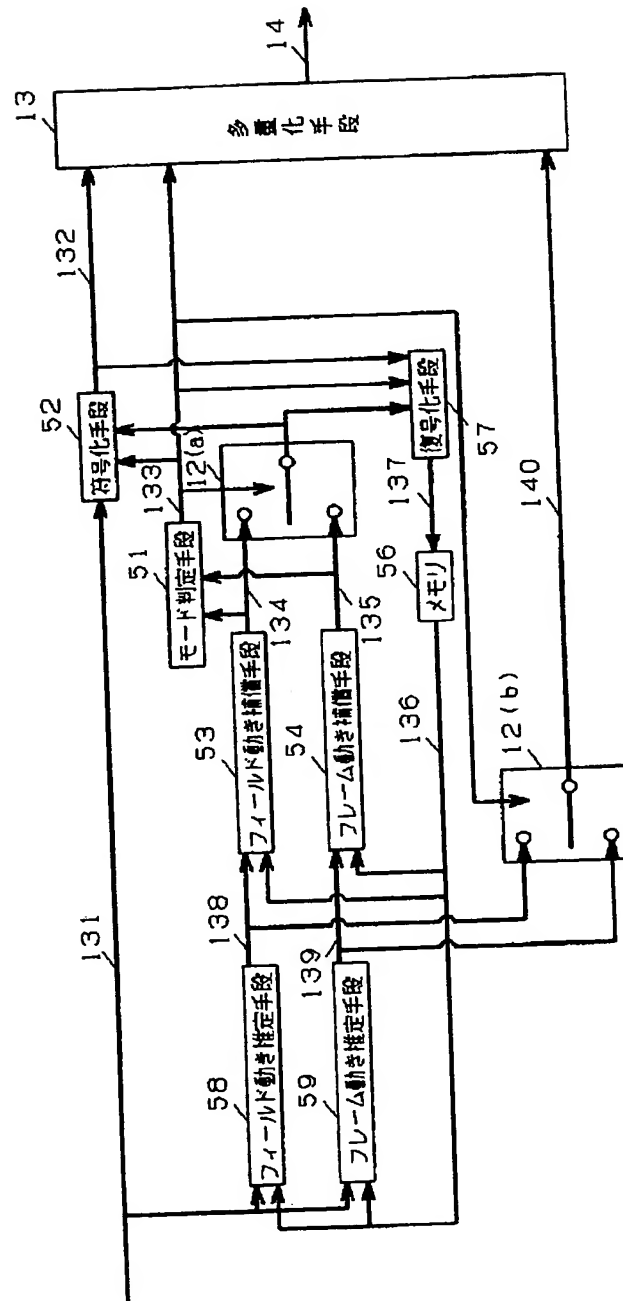
【図16】



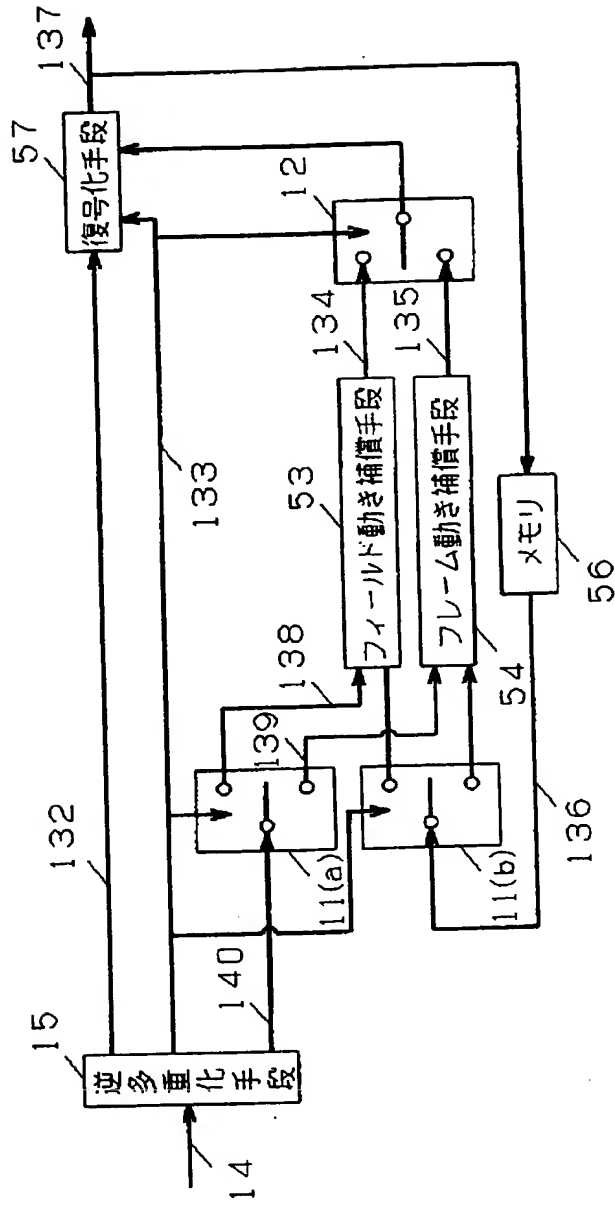
【图9】



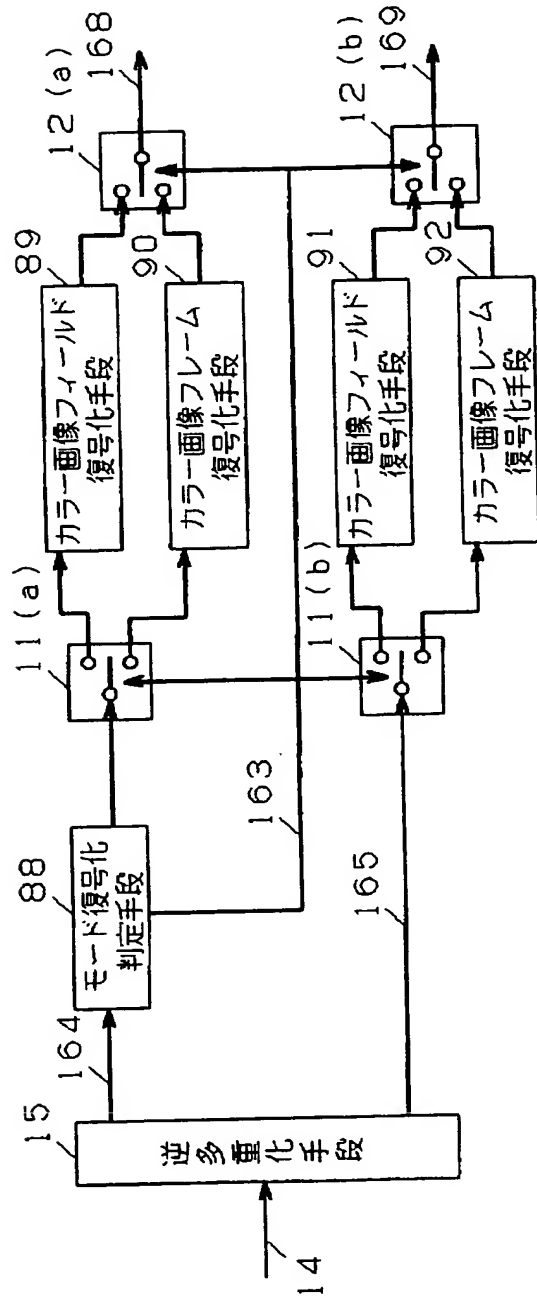
【图 1 3】



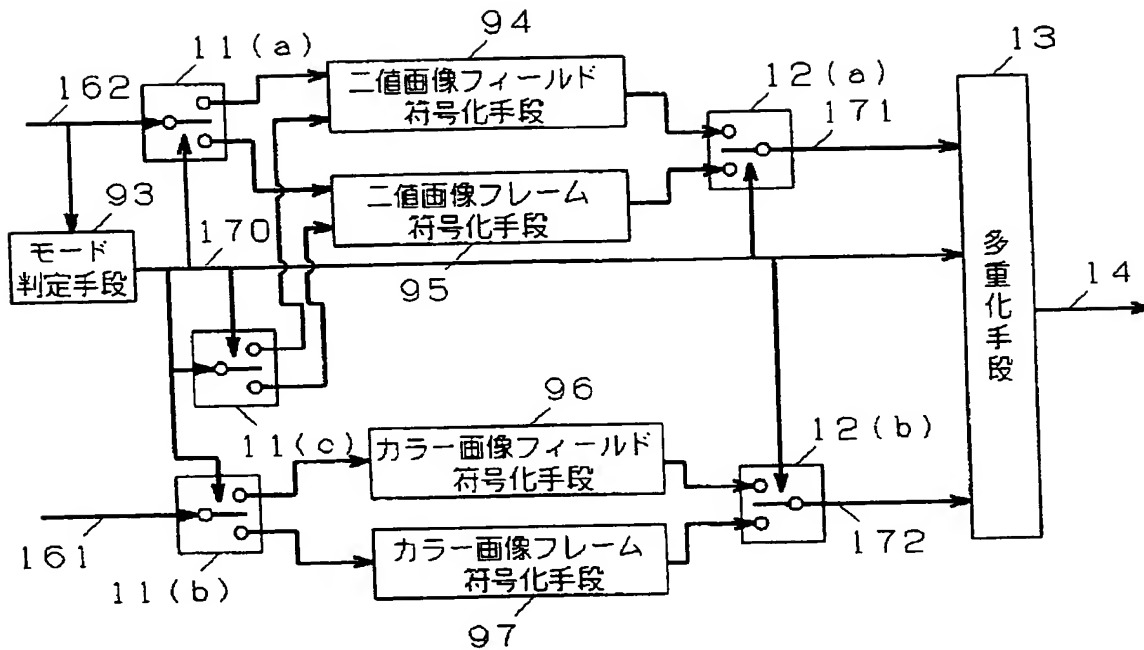
【図14】



【図17】

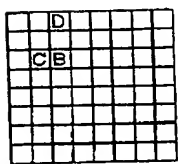


【図18】



【図27】

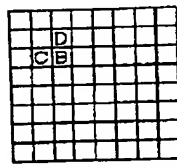
(a)



動き補償予測ブロック

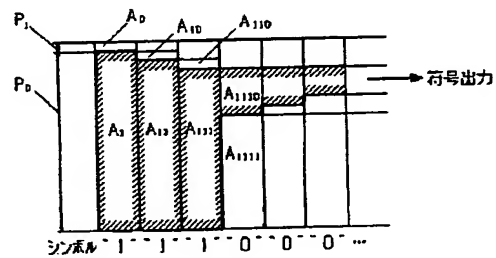
【図28】

(a)

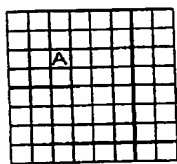


動き補償予測ブロック

【図30】

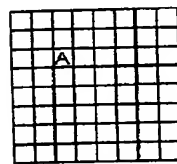


(b)



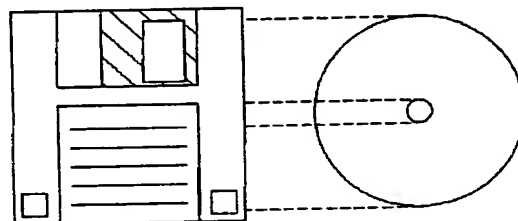
符号化対象ブロック

(b)

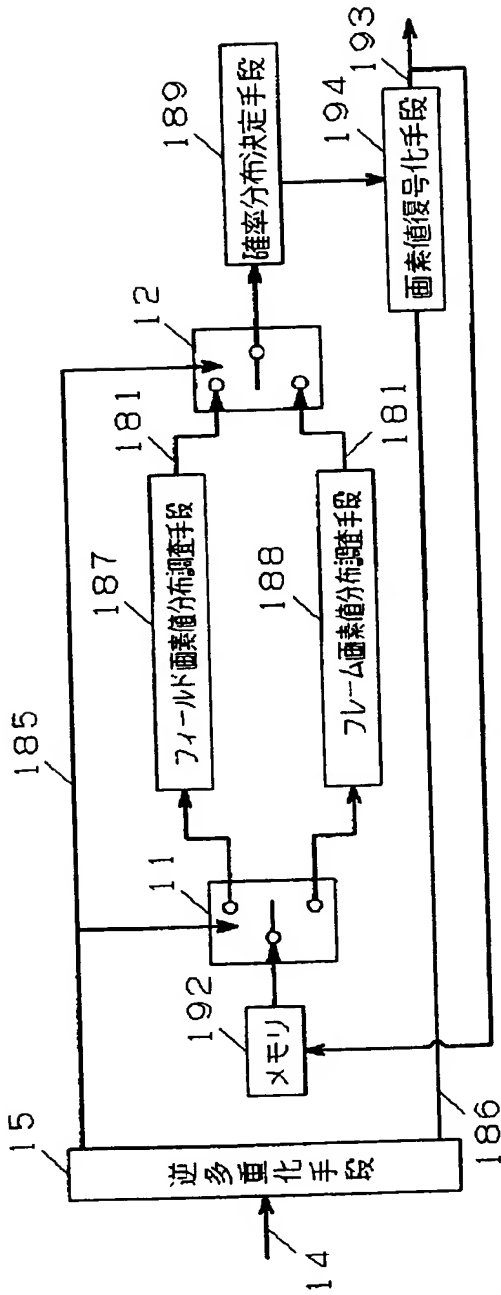


符号化対象ブロック

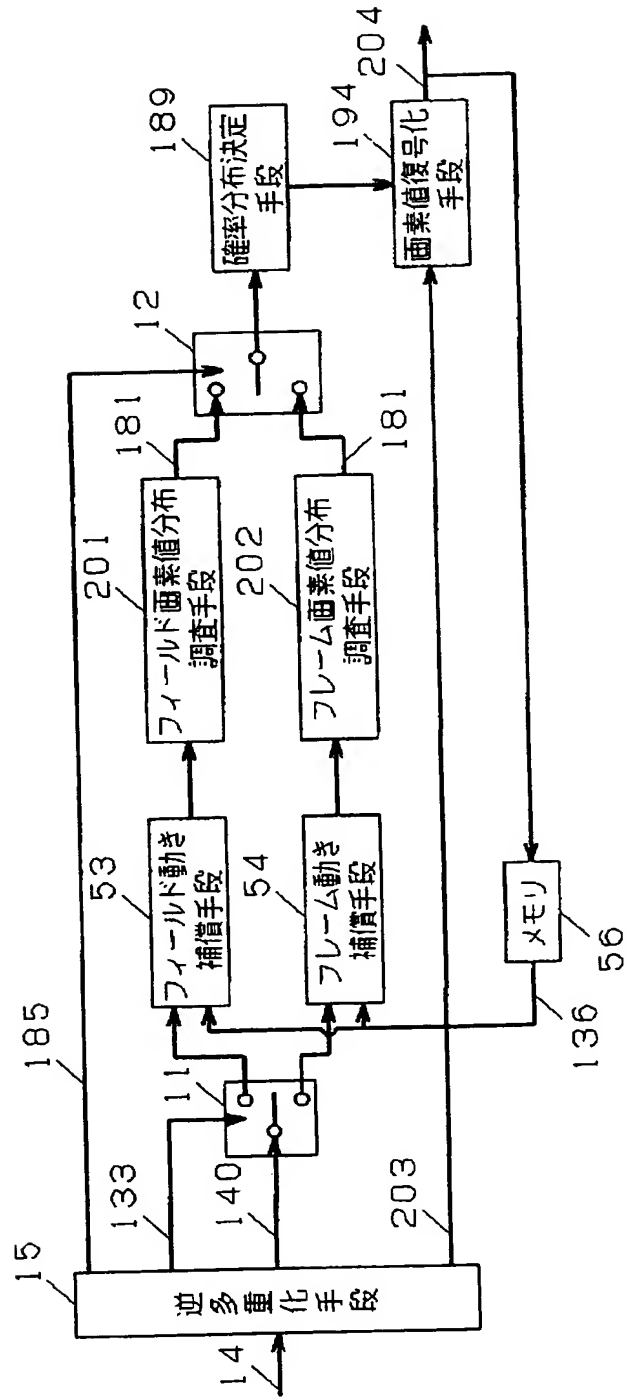
【図31】



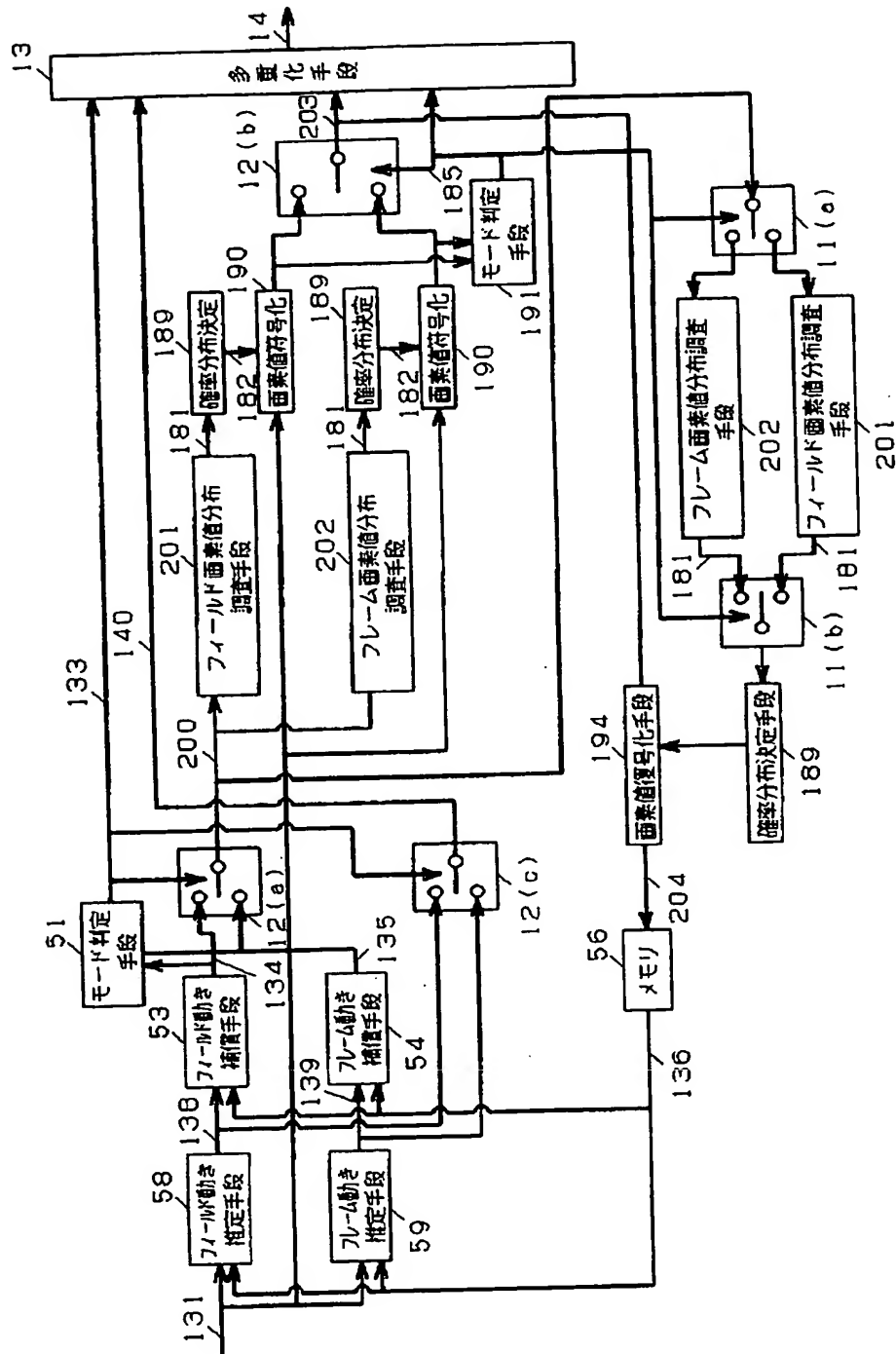
【図21】



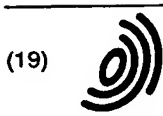
【図26】



【図25】



THIS PAGE BLANK (USPTO)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 889 651 A1

(12) **EUROPEAN PATENT APPLICATION**
published in accordance with Art. 158(3) EPC

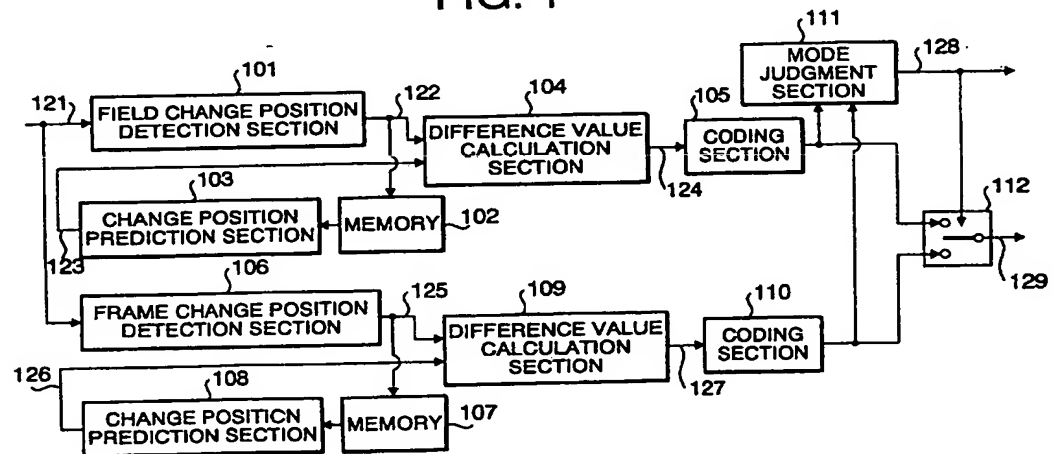
(43) Date of publication: 07.01.1999 Bulletin 1999/01
(21) Application number: 97947892.2
(22) Date of filing: 11.12.1997
(51) Int. Cl.⁶: H04N 7/32
(86) International application number: PCT/JP97/04557
(87) International publication number: WO 98/26601 (18.06.1998 Gazette 1998/24)

(84) Designated Contracting States: DE ES FR GB IT	(72) Inventor: MATSUMOTO, Taisuke Kawasaki-shi, Kanagawa 215 (JP)
(30) Priority: 12.12.1996 JP 331762/96	(74) Representative: Grünecker, Kinkeldey, Stockmair & Schwanhäusser Anwaltssozietät Maximilianstrasse 58 80538 München (DE)
(71) Applicant: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD Kadoma-shi, Osaka 571 (JP)	

(54) **PICTURE ENCODER AND PICTURE DECODER**

(57) A picture encoder which receives, as an input, a binary digital picture having an interlace structure wherein one frame is constituted of two fields, divides the picture into two-dimensional blocks, each of which is constitute of a plurality of pixels, and then encodes the picture block by block. A picture decoder which receives a picture coded signal coded by the picture encoder and decodes, block by block, the binary digital picture having an interlace structure wherein one frame is constituted of two fields. In the picture coder, a coding mode is selected for each block from two modes, one at which a picture is coded field by field and the other at which a picture is coded frame by frame, and according to the selected mode, the picture is coded either field by field or frame by frame, for one block after another. In the picture decoder, the picture is decoded either field by field or frame by frame for one block after another based on the mode information.

FIG. 1



EP 0 889 651 A1

Description

Technical Field

The present invention relates to image coding apparatus and image decoding apparatus for coding and decoding digital images, and also relates to recording media that record computer programs to implement these apparatuses by software.

Background Art

One of the current standard recommendations on method for coding/decoding digital images with an interlaced structure is ITU-T H.262 which is capable of efficiently coding/decoding TV signals such as NTSC.

There is another method for coding/decoding digital images including not only pixel luminance and chrominance signal values, but also form information signals that indicate the form of an object, which is adopted as an evaluation model of the ISO/IEC MPEG4 (ISO/IEC JTC1/SC29/WG11 N1469 November 1996).

This method is characterized by the ability not only to effectively reduce the amount of codes by coding/decoding luminance signal and chrominance signal for only significant pixels indicated by the form information, but also to easily synthesize images in accordance with the form information.

However, the MPEG4 evaluation model described above does not take into account images which have an interlaced structure in which one frame contains 2 fields, which prevents efficient coding/decoding of input images with the interlaced structure.

In addition, the H.262 takes account of a motion compensation method and discrete cosine transformation by taking the interlaced structure for luminance and chrominance signals into consideration, whereas it uses as the method for coding binary images which indicates a significant form, special methods such as down-sampling, up-sampling, and prediction of variation locations of pixel values that are not considered by the H.262, which prevents the coding/decoding means applicable to the interlaced structure used in the H.262 from being simply adopted.

Disclosure of Invention

The present invention has taken into account such circumstances and its objective is to provide an image coding apparatus and image decoding apparatus capable of improving the coding efficiency when coding/decoding input images by adaptively selecting for each block whether to code/decode form information images in field units or in frame units.

To achieve the above objective, the present invention implements an image coding apparatus that inputs a binary digital image with an interlaced structure with one frame consisting of 2 fields, divides said image into

two-dimensional blocks consisting of a plurality of pixels, judges for each block whether to carry out coding processing in field units or frame units and carries out coding in field units or frame units for each block based on the result of mode judgment.

Furthermore, the present invention implements an image decoding apparatus that decodes a binary digital image with an interlaced structure with one frame consisting of two fields from the image coding signal coded by the above image coding apparatus for each two-dimensional block consisting of a plurality of pixels, in field units or frame units in accordance with the mode information.

Thus, by adaptively selecting for each block whether to perform coding/decoding in field units or frame units allows a highly efficient image coding/decoding apparatus to be implemented.

The image coding apparatus of the present invention is an image coding apparatus that performs coding by dividing a binary digital image into blocks consisting of a plurality of pixels, judging for each block which provides better coding efficiency, coding processing in field units or coding processing in frame units.

On the other hand, the image decoding apparatus of the present invention is an image decoding apparatus that decodes from the image coding signal to a binary digital image and switches decoding processing in field units or decoding processing in frame units based on the mode information for each block.

Furthermore, when coding a binary digital image, the present invention judges for each block which provides better efficiency; down-sampling in field units or down-sampling in frame units.

When decoding a binary digital image, the image decoding apparatus of the present invention switches for each block down-sampling processing in field units or down-sampling processing in frame units based on the mode information.

On the other hand, when coding a binary digital image, the image coding apparatus of the present invention judges for each block which provides better efficiency; motion compensation in field units or motion compensation in frame units.

When decoding a binary digital image, the image decoding apparatus of the present invention switches for each block motion compensation in field units or motion compensation in frame units based on the mode information.

Furthermore, when coding a binary digital image, the image coding apparatus of the present invention judges for each block which provides better efficiency; detection of pixel value change points in field units or frame units in the image coding apparatus that performs coding of the positional relationship between a target pixel and pixels with variable pixel values.

The image decoding apparatus of the present invention is an image decoding apparatus that decodes a binary digital image from the positional relationship

between a target pixel and pixels with variable pixel values and switches for each block whether to calculate the location of pixels with variable pixel values in field units or frame units based on the mode information.

The image coding apparatus of the present invention is an image coding apparatus that when coding a binary digital image, determines probability distribution of the pixel value of the target pixel from the pixel value distribution status of the peripheral pixels and carries out coding of the pixel value of the target pixel according to the probability distribution, judging for each block which provides better efficiency to determine the probability distribution, surveying the distribution of peripheral pixel values in field units or frame units.

The image decoding apparatus of the present invention is an image decoding apparatus that determines the probability distribution of the pixel value of a target pixel from the pixel value distribution of the peripheral pixels and carries out decoding of the pixel value of the target pixel according to the probability distribution, switching for each block the method for surveying the distribution status of peripheral pixel values to determine the probability distribution in field units or frame units.

In the image coding apparatus of the present invention that determines the probability distribution of the pixel value of the target pixel from the distribution status of pixel values of predicted motion compensation images and carries out coding of the pixel value of the target pixel according to the probability distribution, it determines for each block which provides better efficiency; surveying the distribution of pixel values of the predicted motion compensation image in field units or frame units. In the image decoding apparatus of the present invention that determines the probability distribution of the pixel value of the target pixel from the distribution status of pixel values of predicted motion compensation images and carries out decoding of the pixel value according to the probability distribution, it switches for each block the method for surveying the distribution of pixel values of the predicted motion compensation images in field units or frame units.

When coding binary digital images and multi-level digital images for each block, the image coding apparatus of the present invention selects whether to perform coding processing of binary digital images in field units or frame units based on the mode information of the multi-level digital images of said block. This eliminates the necessity of using special codes for the mode information of binary digital images, making it possible to improve the coding efficiency.

When decoding binary digital images and multi-level digital images for each block, the image decoding apparatus of the present invention judges whether to carry out coding processing for binary digital images, in field units or in frame units based on the mode information of multi-level digital images of said blocks. This eliminates the necessity of using special codes for mode information of binary digital images, making it possible to carry

out correct decoding.

When coding binary digital images and multi-level digital images for each block, the image coding apparatus of the present invention judges whether to carry out coding processing for binary digital images, in field units or in frame units and reflects the judged mode information in judgment of the mode information of multi-level digital images of said blocks. This eliminates the necessity of using special codes for the mode information of multi-level digital images, making it possible to improve the coding efficiency.

When decoding binary digital images and multi-level digital images from image coding signals for each block, the image decoding apparatus of the present invention reflects the mode information of binary digital images in selection of mode information of multi-level digital images of said block. This eliminates the necessity of using special codes for mode information of multi-level digital images, making it possible to carry out correct decoding.

The image coding apparatus of the present invention also provides recording media that can be easily implemented in an independent computer system by recording at least one of the inventions described above.

Brief Description of Drawings

FIG.1 is a functional block diagram of the image coding apparatus in a first embodiment of the present invention;

FIG.2 shows change positions and predicted change positions of pixel values;

FIG.3 shows the detection results of change positions, predicted change positions and difference values;

FIG.4 shows a functional block diagram of the image coding apparatus in a second embodiment of the present invention;

FIG.5 shows a functional block diagram of the image decoding apparatus in a third embodiment of the present invention;

FIG.6 shows change positions and predicted change positions of pixel values of field mode decoding;

FIG.7 shows a field mode decoding section;

FIG.8 shows change positions and predicted change positions of pixel values of frame mode decoding;

FIG.9 shows a frame mode decoding section;

FIG.10 shows a functional block diagram of the image decoding apparatus in a fourth embodiment of the present invention;

FIG.11 shows a digital image block with a field structure;

FIG.12 shows a digital image block with a frame structure;

FIG.13 shows a functional block diagram of the image coding apparatus in a fifth embodiment of

the present invention;

FIG.14 shows a coding process in frame mode in the fifth embodiment;

FIG.15 shows a coding process in field mode in the fifth embodiment;

FIG.16 shows a functional block diagram of the image decoding apparatus a sixth embodiment of the present invention;

FIG.17 shows a functional block diagram of the image decoding apparatus in a seventh embodiment of the present invention;

FIG.18 shows a functional block diagram of the image decoding apparatus in an eighth embodiment of the present invention;

FIG.19 shows the predicted image creation process in frame mode in the eighth embodiment;

FIG.20 shows the odd field predicted image creation process in field mode in the eighth embodiment;

FIG.21 shows the even field predicted image creation process in field mode in the eighth embodiment;

FIG.22 shows a functional block diagram of the image decoding apparatus in a ninth embodiment of the present invention;

FIG.23 shows a functional block diagram of the image coding apparatus in a tenth embodiment of the present invention;

FIG.24 shows a functional block diagram of the image decoding apparatus in an eleventh embodiment of the present invention;

FIG.25 shows a functional block diagram of the image coding apparatus in a twelfth embodiment of the present invention;

FIG.26 shows a functional block diagram of the image decoding apparatus in a thirteenth embodiment of the present invention;

FIG.27 shows a functional block diagram of the image coding apparatus in a fourteenth embodiment of the present invention;

FIG.28 shows a probability distribution table in the fourteenth embodiment;

FIG.29A and FIG.29B show the coding situation of a block of 8x8 pixels.

FIG.30 shows a functional block diagram of the image decoding apparatus in a fifteenth embodiment of the present invention;

FIG.31 shows a functional block diagram of the image coding apparatus in a sixteenth embodiment of the present invention;

FIG.32 is an extract of the sixteenth embodiment.

FIG.33A and FIG.33B show field mode coding/decoding sections;

FIG.34A and FIG.34B show frame mode coding/decoding sections;

FIG.35 shows an example of pixel value probability distribution table.

FIG.36 shows a functional block diagram of the

image coding apparatus in a seventeenth embodiment of the present invention;

and

FIG.37 shows an example of computer recording medium in an eighteenth embodiment of the present invention.

Best Mode for Carrying out the Invention

With reference now to the attached drawings, the embodiments of the present invention are explained in detail below:

(First embodiment)

FIG.1 shows a block diagram of the image coding apparatus in a first embodiment of the present invention. The image coding apparatus that relates to the first embodiment comprises a processing section for coding field images which consists of field change position detection section 101, memory 102, change position prediction section 103, difference value calculation section 104 and coding section 105, and another processing section for coding frame images which consists of frame change position detection section 106, memory 107, change position prediction section 108, difference value calculation section 109 and coding section 110. This image coding apparatus further comprises mode judgment section 111 that judges the coding mode and switching section 112 that switches an output signal to a signal in judged coding mode. In the explanation below, the coding mode for transmitting the coding data coded in the field image processing section is called a field mode and the coding mode for transmitting the coding data coded in the frame image processing section is called a frame mode.

Field change position detection section 101 is an image processing function that detects change points at which pixel values change in field units, while frame change position detection section 106 is an image processing function that detects change points at which pixel values change in frame units.

Change position prediction section 103 predicts change points on lines to be predicted from preceding detected (a plurality of preceding lines) pixel change points of a field image, while another change position prediction section 108 predicts change points on lines to be predicted from preceding detected (a plurality of preceding lines) pixel change points of a frame image.

Memory 102 and memory 107 store preceding detected (a plurality of preceding lines) pixel change points (coordinate data) for prediction of change positions.

Difference value calculation section 104 has an operation function that calculates differences between actual change position 122 on lines to be predicted detected by field change position detection section 101 and predicted position 123 predicted by change position

prediction section 103 from a change point a few lines ahead thereof. Another difference value calculation section 109 has an operation function that calculates differences between actual change position 125 on lines to be predicted detected by field change position detection section 106 and predicted position 126 predicted by change position prediction section 108 from a change point a few lines ahead thereof.

Coding section 105 is a section for coding difference value 124 obtained in field mode and coding section 110 is a section for coding difference value 127 obtained in frame mode.

Mode judgment section 111 compares the coding data output from two coding sections 105 and 110 and selects the coding mode with the better coding efficiency and indicates it to switching section 112 and the transmit section which is not illustrated in the figure.

Switching section 112 switches coding sections 105 and 110 connected thereto so that the input signal on the coding mode side indicated by mode judgment 111 be output to the transmit section above.

The operation of the image coding apparatus configured as shown above is explained below. Binary digital image 121 divided by a block division section that is not illustrated in the figure into two-dimensional blocks made up of a plurality of pixels is supplied to field change position detection section 101 and frame change position detection section 106, respectively.

FIG.2 shows an example of 8x8-pixel block to be coded. The top reference pixels in the figure are the pixels already coded which belong to the lowest line of the above adjacent section already coded and the left reference pixels are the pixels already coded which belong to the rightmost line of the left adjacent block already coded. In pixel I (x,y) of this block to be coded, a pixel whose "y" is an odd number belongs to the first field and a pixel whose "y" is an even number belongs to the second field.

Now, suppose that the 8x8-pixel block shown in FIG.2 is block 121 to be coded and it is input to field change position detection section 101 and frame change position detection section 106.

Field change position detection section 101 detects pixel value change points on each line of odd fields and even fields. Field change position detection section 101 scans pixels from target pixel A which has already been coded in horizontal direction for a signal input, detects the position of a pixel which changes to a pixel value different from the pixel on the left in the same field and outputs it as field change position 122. In the example in FIG.2, pixel B is the field change position.

The pixel value change point of each line in odd and even fields of the block to be coded is stored in memory 102 as change position data.

Change position prediction section 103 predicts the change position of a target pixel from the change position of each line from the line to which the target pixel belongs to a plurality of preceding lines and outputs it as

the predicted change position. For example, if a change point on the fourth line of an odd field (corresponds to the seventh line of the frame image) is the target pixel, the change positions of both the second and third lines (corresponds to the third and fifth lines of the frame image) are on the seventh line, and thus it predicts that the target pixel is also on the seventh line. This predicted position 123 is output to difference value calculation section 104.

Difference value calculation section 104 is given data 122 at the actual pixel value change point on the fourth line of an odd field from field change position detection section 101, and thus it calculates a difference between the actual change position on the fourth line of an odd field given from field change position detection section 101 and the predicted position on the fourth line of an odd field given from change position prediction section 103. For example, in the example in FIG.2, since the actual change position is 7 and the predicted position is 7, difference value = 0 is sent to coding section 105 as the calculation result.

Coding section 105 codes difference value = 0 as the change position data on the fourth line of an odd field using a predetermined Huffman code table.

In an even field, in the same way as in the odd field above, a difference between the actual pixel value change position and predicted position for each line in an even field is calculated and the difference value is coded by coding section 105.

Frame change position detection section 101 scans pixels in horizontal direction for each line that makes up a frame image to detect the position of a pixel which changes to a pixel value different from the pixel on the left. In the example in FIG.2, the position of a pixel that changes from target pixel A to a pixel value different from the pixel on the left is detected in the frame and output as frame change position 125. In the pixel block in FIG.2, pixel C is the frame change position. The detected change position is stored in memory 107.

Change position prediction section 108 predicts the change position of a target pixel from the change position of each line of the line to which the target pixel belongs to a plurality of lines ahead thereof, and outputs it as the predicted change position. For example, if a change point on the fifth line of a frame image is the target pixel, since the change position on the third and fourth lines is decremented to 7 and 6 by one pixel, the target pixel on the fifth line is predicted to be the fifth pixel which is the change position on the fourth line = 6 minus one pixel. This predicted position 126 is output to difference value calculation section 109.

Difference value calculation section 109 calculates a difference between the detected change position and predicted change position. For example, if a change point on the sixth line of the frame image is the target pixel, the difference between detected frame change position C and predicted frame change position F which results in -3 is output as frame difference value 127.

Coding section 110 codes the difference value calculated for the frame image using a predetermined Huffman code table.

FIG.3 shows the detection results of change position 122 in field mode executed for the pixel block in FIG.2, predicted position 123 and difference value 124, change position 125 in frame mode, and predicted position 126 and difference value 127.

In field mode, (0, +6, 0, 0) (0, +6, -1, +2) which are respective difference values of an odd field and even field are coded. In frame mode, (0, 0, +6, -1, +2, -3, +4, -3) which is a difference value of each line is coded.

Mode judgment section 111 compares a coding image signal obtained in field units and a coding image signal obtained in frame units, judges the mode with a better coding efficiency and outputs the mode with a better coding efficiency as mode information 128.

Switching section 112 selects either a coding image signal in field units or a coding image signal in frame units and outputs it as coding image signal 129.

According to the embodiment described above, when coding a binary digital image with an interlaced structure based on the position with variable pixel values, switching a method that detects and codes the change positions of pixel values in field units or a method that detects and codes the change positions of pixel values in frame units, whichever with a better efficiency, by mode judgment section 111 for each block makes it possible to improve the coding efficiency.

(Second embodiment)

FIG.4 shows a functional block of the image coding apparatus that relates to a second embodiment. In the first embodiment above, the field mode processing section and the frame mode processing section always operate on individual blocks, while in the present embodiment, correlator 141 judges the coding mode beforehand and operates only one processing section.

In correlator 141, binary digital images with an interlaced structure are given in block units. In order to detect a correlative value of a field image, correlator 141 extracts line data of the interlace image at intervals of one line to obtain a correlative value between lines and stores it as the correlative value of the field image. In order to detect a correlative value of a frame image, correlator 141 obtains a correlative value between lines and stores it as the correlative value of the frame image. It selects the mode with a higher correlative value and outputs it as mode information 128.

If mode information 128 indicates the field mode, first switching section 142 switches the binary digital image to field mode processing section 143. If mode information 128 indicates the frame mode, it switches the binary digital image to frame mode processing section 144. Field mode processing section 143 refers to the processing section shown in FIG.1 that performs a series of processing from field change position detec-

tion section 101 to coding section 105, while frame mode processing section 144 refers to the processing section shown in FIG.1 that performs a series of processing from frame change position detection section 108 to coding section 110.

Second switching section 145 switches between processing sections 143 and 144 to be connected based on mode information 128 and outputs coding data 129 of the processing section corresponding to the mode selected.

This embodiment can not only improve the coding efficiency but also improve the processing efficiency because it selects the coding mode beforehand and operates only one processing section.

(Third embodiment)

FIG.5 shows a block diagram of the image decoding apparatus in a third embodiment of the present invention. In FIG.5, the same signals as those in the first embodiment shown in FIG.1 are assigned the same numbers and their explanations are omitted.

In this image decoding apparatus, coding image signal 129 which is the coded difference value between the detected change position and predicted change position output from the image coding apparatus in the first embodiment above is given to decoding section 151. Furthermore, the image decoding apparatus comprises difference value addition section 152 that adds the difference value decoded from coding image signal 129 and the predicted position of said line predicted from the change positions of a plurality of the preceding already decoded lines. The image decoding apparatus further comprises field binary image decoding section 154 and frame binary image decoding section 155 to which the output of difference value addition section 152 is selectively supplied via first switching section 153. Field binary image decoding section 154 is the section that restores the field image from the output of difference value addition section 152, while frame binary image decoding section 155 is the section that restores the frame image from the output of difference value addition section 152.

The signal output from field binary image decoding section 154 and frame binary image decoding section 155 is output as restored image signal 159 via second switching section 156 and at the same time buffered into memory 157. Change position prediction section 158 predicts a change position using the same technique as that used for change position prediction section 108 in the first embodiment and outputs it to difference value addition section 152.

The operation of the image decoding apparatus configured as shown above is explained below. Decoding section 151 decodes the difference value between the position of a pixel whose value is changing and predicted position of the changing pixel from coding image signal 129 and outputs the decoded difference value.

On the other hand, change position prediction section 158 predicts the position where the pixel value on said line changes next from the position where the pixel values of a plurality of the preceding already decoded lines change and outputs the predicted change position. In the block to be decoded illustrated in FIG.6, pixel B at the predicted change position is obtained from difference 0 in x coordinates of target pixel A and pixel C belonging to the same field as that of pixel A which has already been decoded and which changes from a black pixel to white pixel as the case with pixel A. In the block to be decoded illustrated in FIG.8, predicted change position pixel F is obtained from target pixel E and pixel G which has already been decoded and which changes from a black pixel to white pixel as the case with pixel E.

Difference value addition section 152 adds the decoded difference value and the predicted change position obtained from the decoded image and outputs the addition result as the pixel value change position. That is, if the difference value is -1, pixel D in the block illustrated in FIG.6 is the position of the pixel whose value changes, while in the block illustrated in FIG.8 pixel H is the position of the pixel whose value changes.

First switching section 153 inputs the pixel value change position to either field binary image decoding section 154 or frame binary image decoding section 155 according to mode information 128.

Field binary image decoding section 154 decodes binary digital images by sequentially setting pixels between the target pixel position and the position of the pixel whose value changes to the same pixel value as the pixel value on the left and obtains the decoding image shown in FIG.6. Applying the same procedure to from the top left pixel toward the bottom right pixel in field 1 and then field 2 obtains a block decoding image.

Frame binary decoding section 155 decodes binary digital images by sequentially setting pixels between the target pixel and the pixel whose value changes to the same pixel value as the pixel value of the pixel on the left in a frame structure and obtains the decoding image shown in FIG.8. Applying the same procedure to from the top left pixel toward the bottom right pixel obtains a block decoding image.

Second switching section 156 selects either the output of field binary image decoding section 154 or the output of frame binary image decoding section 155 according to mode information 128 and outputs it as binary digital decoding image signal 159.

According to the present embodiment described above, it is possible to correctly decode the coding image signal coded based on the position where the pixel values of binary digital images with an interlaced structure change, using mode information 128, first switching section 153 and second switching section 156.

The present embodiment uses first switching section 153 at the output destination and second switching section 156 at the input source, but it is also possible to

obtain the same result using only one of first switching section 153 or second switching section 156.

FIG.6, 7, 8 and 9 show 8x8-pixel blocks, but it is also possible to apply the same procedure to any m x n-pixel blocks.

(Fourth embodiment)

FIG.10 shows a block diagram of the image decoding apparatus that relates to a fourth embodiment of the present invention. In FIG.10, the same blocks and signals as those in the third embodiment shown in FIG.5 are assigned the same numbers and their explanations are omitted.

In this image decoding apparatus, the change pixel position output by difference value addition section 152 is input to image decoding section 161 and binary image decoding section 161 restores the binary image from the position where the pixel value changes. The restored binary image is input to field/frame rearrangement section 162 via first switching section 153. Field/frame rearrangement section 162 operates so that a field-structured block image be rearranged to a frame-structured block image. The output of this field/frame rearrangement section 162 and the output of binary image decoding section 161 are selectively output via second switching section 156. First switching section 153 and second switching section 156 carry out switching based on mode information 128.

The operation of the image decoding apparatus configured as shown above is explained below. Decoding section 151 decodes difference values according to coding image signal 129.

Change position prediction section 158 predicts the position where the pixel value changes next from the position where the pixel values of already decoded binary images change and outputs the predicted change position. Difference value addition section 152 obtains a sum of the difference value and predicted change position, and outputs the pixel value change position.

Binary image decoding section 161 decodes binary images by setting the pixel values of the pixels between the decoded target pixel and pixel whose pixel value changes to the same pixel value as the pixel on the left.

If mode information 128 indicates the field mode, first switching section 153 inputs images to field/frame rearrangement section 162, and if mode information 128 indicates the frame mode, it skips field/frame rearrangement section 162.

Field/frame rearrangement section 162 rearranges the field-structured block which has a structure of two continuous fields shown in FIG.11 for each line, thereby rearranging it to a frame structure where pixels belonging to two fields are placed alternately as shown in FIG.12.

Second switching section 156 selects either the output of field/frame rearrangement section 162 or the

signal which skipped field/frame rearrangement section 162 based on mode information 128 and outputs binary digital decoding image signal 159.

According to the present embodiment described above, for coding image signals coded based on the position where the pixel values of binary digital images with an interlaced structure change, it is possible to correctly decode binary digital image signals by rearranging binary digital block images after decoding from a field structure to frame structure and outputting it based on mode information 128 or outputting it as it is.

The present embodiment uses first switching section 153 at the output destination and second switching section 156 at the input source, but it is also possible to obtain the same result using only one of first switching section 153 or second switching section 156.

FIG.11 and 12 show 8x8-pixel blocks, but it is also possible to apply the same procedure to any m×n-pixel blocks.

(Fifth embodiment)

FIG.13 shows a block diagram of the image coding apparatus that relates to a fifth embodiment of the present invention. This image coding apparatus comprises field down-sampling section 301 that down-samples binary digital block images in field units, frame down-sampling section 302 that down-samples binary digital block images in frame units, and coding section 303 that codes the down-sampled images. This image coding apparatus also comprises mode judgment section 304 that judges the coding mode suited to the input block, first switching section 305 that switches field down-sampling and frame down-sampling according to the judgment mode, second switching section 306 that switches the down-sampling results to be coded according to the judgment mode.

The operation of the image coding apparatus configured as shown above is explained below. A binary digital image divided by the block division block that is not shown in the figure into two-dimensional blocks consisting of a plurality of pixels is input for each block to mode judgment section 304 and first switching section 305 as input image signal 310.

Mode judgment section 304 judges either down-sampling in field units or down-sampling in frame units using discrete values and correlative values between lines, etc. and outputs the judgment result as mode information 311.

First switching section 305 inputs input block image signal 310 to field down-sampling section 301 or frame down-sampling section 302 according to mode information 311.

Field down-sampling section 301 down-samples the block image input for each field and outputs it as a field down-sampling image.

Frame down-sampling section 302 down-samples the block image input in a frame structure and outputs it

as a frame down-sampling image.

Second switching section 306 selects either the field down-sampling image or frame down-sampling image according to mode information 311 and inputs it to coding section 303.

Coding section 303 codes the binary block image input and outputs coding image signal 312.

For example, when down-sampling a 4x4-pixel block to 2x2-pixel block, the restoring accuracy when it is restored by up-sampling may vary greatly depending on the nature of the image between frame down-sampling and field down-sampling.

FIG.14 shows a case where a 4x4-pixel block is frame-down-sampled to a 2x2-pixel block and restored to a 4x4-pixel block. In the input block in FIG.14, 4 pixels remain affected by a restoring error after restoring.

FIG.15 shows a case where the 4x4-pixel block shown in FIG.14 is field-down-sampled to a 2x2-pixel block and restored to a 4x4-pixel block. FIG.15 shows that when the block synthesized from the odd field and even field is down-sampled to the 2x2-pixel block which is up-sampled again to the 4x4-pixel block, field-rearranged and restored, there is no restoring error. Therefore, in the case of the input block shown in FIG.14, mode judgment section 304 should judge the field down-sampling mode.

Mode judgment section 304 divides each of frame images and field images of the input block into a plurality of areas according to the pixel size after down-sampling and calculates distribution value Q for each area.

$$Q = \sum (p - av)^2$$

where p is a pixel value in an area and av is an average value of pixel values in the area. The mode with a smaller distribution value is selected as the mode to be used.

According to the present embodiment described above, for binary digital images with an interlaced structure, selecting the down-sampling method with a higher efficiency, either in field units or in frame units through mode judgment section 304 will make it possible to improve the coding efficiency.

The present embodiment uses first switching section 305 and second switching section 306, but it is also possible to obtain the same effect using only one of them.

(Sixth embodiment)

FIG.16 is a block diagram of the image decoding apparatus that relates to a sixth embodiment of the present invention. In FIG.16, the same signals as those in the fifth embodiment shown in FIG.13 are assigned the same numbers and their explanations are omitted.

This image decoding apparatus comprises decoding section 611 that decodes binary block images from image coding signals, field up-sampling section 612 that

up-samples binary block images in field units, and frame up-sampling section 613 that up-samples binary block images in frame units. The output of decoding section 611 is given to field up-sampling section 612 or frame up-sampling section 613 via first switching section 614 switched and controlled by mode information 311, while the output of field up-sampling section 612 or frame up-sampling section 613 is output via second switching section 615 switched and controlled by mode information 311.

The operation of the image decoding apparatus configured as shown above is explained below. Decoding section 611 decodes block images from image coding signal 312 and outputs binary block decoding image signal 620.

First switching section 614 inputs binary block decoding image signal 620 to either field up-sampling section 612 or frame up-sampling section 613 according to mode information 311.

Field up-sampling section 612 up-samples the given block images in field units and outputs binary block decoding images.

Frame up-sampling section 613 up-samples the given block images in a frame structure and outputs binary block decoding images.

Second switching section 615 selects either the output of field up-sampling section 612 or output of frame up-sampling section 613 according to mode information 311 and outputs binary digital decoding image signal 621.

According to the present embodiment described above, applying mode information 311, first and second switching sections 614 and 615 to coding image signals down-sampled taking account of the interlaced structure makes it possible to correctly decode binary digital images with an interlaced structure.

The present embodiment uses first switching section 614 and second switching section 615, but it is also possible to obtain the same effect using only one of them.

(Seventh embodiment)

FIG.17 is a block diagram of the image decoding apparatus that relates to a seventh embodiment of the present invention. In FIG.17, the same blocks and signals as those in the fourth embodiment shown in FIG.10 and the sixth embodiment shown in FIG.16 are assigned the same numbers and their explanations are omitted.

This image decoding apparatus comprises decoding section 611 that decodes binary block images from image coding signals, up-sampling section 701 that up-samples block images, field/frame rearrangement section 162 that rearranges block images from a field structure to frame structure, first and second switching sections 153 and 156 that are placed before and after field/frame rearrangement section 162.

The operation of the image decoding apparatus configured as shown above is explained below. Decoding section 611 decodes block images from image coding signal 312 and outputs a binary block decoding image signal.

Up-sampling section 701 up-samples the block decoding image signal. At this time, mode information 311 when the block decoding image signal to be up-sampled is down-sampled is given to first and second switching sections 153 and 156.

If mode information 311 indicates the field mode, first switching section 153 inputs the up-sampled images to field/frame rearrangement section 162, and if mode information 311 indicates the frame mode, it skips field/frame rearrangement section 162.

Field/frame rearrangement section 162 rearranges field-structured blocks which have a structure with two continuous fields as shown in FIG.11 for each line and transforms them into a frame structure in which pixels belonging to two fields shown in FIG.12 are lined up alternately for each line.

Second switching section 156 selects either the output of field/frame rearrangement section 162 or the signal that skipped field/frame rearrangement section 162 according to mode information 311 and outputs binary digital decoding image signal 159.

According to the present embodiment described above, applying mode information 311, first and second switching sections 153 and 156 and field/frame rearrangement section 162 to coding image signals down-sampled taking account of the interlaced structure makes it possible to correctly decode binary digital images with an interlaced structure.

(Eighth embodiment)

FIG.18 is a block diagram of the image coding apparatus that relates to an eighth embodiment of the present invention. This image coding apparatus comprises field motion inference section 801 that uses field images and decoded reference images of the input block to carry out motion inference in field units, frame motion inference section 802 that uses frame images and decoded reference images of the input block to carry out motion inference in frame units, field motion compensation section 803 that carries out motion compensation in field units from motion vectors which are the inference results of field motion inference section 801 and reference images, and frame motion compensation section 804 that carries out motion compensation in frame units from motion vectors which are the inference results of frame motion inference section 802 and reference images. This image coding apparatus further comprises coding section 805 that codes predicted images output from field motion compensation section 803 and frame motion compensation section 804, decoding section 806 that decodes the predicted images above, and memory 807 that stores the

decoded images. Furthermore, it also switches and controls first switching section 809 and second switching section 810 based on the judgment results of mode judgment section 808 that carries out mode judgment based on the predicted errors of predicted images output from field motion compensation section 803 and frame motion compensation section 804.

The operation of the image coding apparatus configured as shown above is explained below. Binary digital images divided by a block division section that is not shown in the figure into two-dimensional blocks made up of a plurality of pixels are input to mode judgment section 808 and coding section 805 as input image signal 821 for each block.

Mode judgment section 808 compares field predicted image signal 824 and frame predicted image signal 825 and selects the mode with less motion compensation predicted errors and outputs it as mode information 826.

Field motion inference section 801 carries out motion inference from input image signal 821 and reference image signal 828 in field units and outputs field motion vector 822.

Frame motion inference section 802 carries out motion inference from input image signal 821 and reference image signal 828 in a frame structure and outputs frame motion vector 823.

Field motion compensation section 803 uses reference image signal 828 and field motion vector 822 to carry out motion compensation in field units and outputs field predicted image 824.

Frame motion compensation section 804 uses reference image signal 828 and frame motion vector 823 to carry out motion compensation in a frame structure and outputs frame predicted image signal 825.

First switching section 809 selects either field predicted image signal 824 or frame predicted image signal 825 according to mode information 826 and inputs it to coding section 805 and decoding section 806.

Coding section 805 codes input image signal 821 using the predicted image signal and mode information 826 and outputs coding image signal 827.

Decoding section 806 decodes binary digital images using the coding image signal, predicted image signal and mode information 826 and outputs a decoding image signal.

Memory 807 stores the decoding image signal and outputs reference image signal 828 to the input block.

Second switching section 810 selects either field motion vector 822 or frame motion vector 823 according to mode information 826 and outputs it as motion vector signal 829.

For example, the following gives a detailed explanation in the case where the pixel status input section shown in FIG.19 is input as input image signal 821.

When the input section shown in FIG.19 is input to frame motion inference section 802, the reference image obtained by decoding the already coded image

again is taken in from memory 807. On the reference image, a search window corresponding to the input block (pixel position (i,j) in the top left corner) is set, the search window is moved on the reference image to search the area of pixel statuses similar to the input block. The area enclosed with a solid line of the reference image shown in FIG.19 is the initial position of the search window and the area enclosed with a dotted line is the area searched. The motion direction and distance from the area enclosed with a solid line to the area enclosed with a dotted line is motion vector 823. In FIG. 19, the motion vector is (-1, -1).

In frame motion compensation section 804, a search window is moved on reference image 828 according to motion vector 823 and the pixels included in the search window after the movement is output as predicted image 825.

On the other hand, field motion inference section 801 detects the motion vector using the odd field block and the odd field reference image shown in FIG. 20 and detects the motion vector using the even field block and the even field reference image shown in FIG.21. Field motion compensation section 824 predicts an odd field predicted image from the odd field reference image and detected motion vector and predicts an even field predicted image from the even field reference image and detected motion vector.

Mode judgment section 808 checks the level of match between the original input block odd field and odd field predicted image. It also checks the level of match between the input block even field and even field predicted image. The value synthesized from the level of match of both the even field and odd field is stored as the field evaluation value. It also checks the level of match between the input block and frame predicted image. Then it compares the frame evaluation value with the field evaluation value and selects the mode with a higher level of match and uses it as mode information 827.

According to the present embodiment described above, for binary digital images with an interlaced structure, selecting the motion compensation block which has less motion compensation predicted errors by mode judgment section 808 makes it possible to improve the coding efficiency.

(Ninth embodiment)

FIG.22 shows a block diagram of the image decoding apparatus in a ninth embodiment of the present invention. In FIG.22, the same signals as those in the eighth embodiment shown in FIG.18 are assigned the same numbers and their explanations are omitted.

This image decoding apparatus comprises field motion compensation section 1201 that performs motion compensation for each field using a reference image and motion vector, frame motion compensation section 1202 that performs motion compensation in a

frame structure using a reference image and motion vector, and decoding section 1203 that decodes a coding image signal. Furthermore, first switching section 1204 that switches the input destination of the motion vector and second switching section 1205 that switches the input destination of the decoded reference image are placed in the input stages of field motion compensation section 1201 and frame motion compensation section 1202. In addition, second switching section 1206 that switches the output source of the predicted image to be output to decoding section 1203 is placed in the output stages of field motion compensation section 1201 and frame motion compensation section 1202. Memory 1207 is the storage section that stores images decoded by decoding section 1203 as reference images.

The operation of the image decoding apparatus configured as shown above is explained below. Reference image signal 1210 is input to either field motion compensation section 1201 or frame motion compensation section 1202 by second switching section 1205 according to mode information 826.

Motion vector signal 829 is input to either field motion compensation section 1201 or frame motion compensation section 1202 by first switching section 1204 according to mode information 826.

Field motion compensation section 1201 carries out motion compensation using reference image signal 1210 and motion vector signal 829 for each field and outputs field predicted image signal 824.

Frame motion compensation section 1202 carries out motion compensation using reference image signal 1210 or motion vector signal 829 in a frame structure and outputs frame predicted image signal 825.

Third switching section 1206 selects either field predicted image signal 824 or frame predicted image signal 825 according to mode information 826 and inputs it to decoding section 1203.

Decoding section 1203 decodes coding image signal 827 using mode information 826 and predicted image signal and outputs binary digital decoding image signal 1211. Memory 1207 stores decoding image signal 1211 and outputs reference image signal 1210.

According to the present embodiment described above, by carrying out motion compensation which takes account of the interlaced structure and applying mode information 826, first, second and third switching sections 1204, 1205 and 1206 to coding image signals with the remaining difference coded, it is possible to correctly decode binary digital images with the interlaced structure.

The present embodiment uses three switching sections 1204, 1205, and 1206, but it is also possible to obtain the same effect using only one of them.

(Tenth embodiment)

FIG.23 is a block diagram of the image coding

apparatus that relates to a tenth embodiment of the present invention. This image coding apparatus comprises 4 processing sections of color image field coding section 1301, color frame coding section 1302 for color image coding, binary image field coding section 1304, and binary image frame coding section 1305 for binary image coding, and mode judgment section 1306 that judges for each block whether to code from a color image signal in field units or frame units.

On the input side of color image field coding section 1301 and color image frame coding section 1302, first switching section 1307 that switches the input destination of color block images and second switching section 1308 to input mode information 1333 to the coding block corresponding to the judgment mode are placed. On the input side of binary image field coding section 1304 and binary image frame coding section 1305, third switching section 1309 to switch the destination of binary block images is placed.

On the other hand, on the output side of color image field coding section 1301 and color image frame coding section 1302, fourth switching section 1310 to switch coding image signals to be output to external devices between both coding sections is placed. On the output side of binary image field coding section 1304 and binary image frame coding section 1305, fifth switching section 1311 to switch coding image signals to be output to external devices between both coding sections is placed.

Color image field coding section 1301 is a processing function to code color block images in field units, while color image frame coding section 1302 is a processing function to code color block images in frame units. Binary image field coding section 1304 is a processing function to code binary block images in field units, while binary image frame coding section 1305 is a processing function to code binary block images in frame units.

The operation of the image coding apparatus configured as shown above is explained below. Color digital images are input to mode judgment section 1306 and first switching section 1307 as color block image 1321 as color block image 1321 divided by a block division section that is not shown in the figure into two-dimensional blocks made up of a plurality of pixels.

Mode judgment section 1306 selects either coding in field units or coding in frame units using distribution and correlation, etc. of pixel values from color block image 1321 input. The selected coding mode is output as mode information 1333.

First switching section 1307 inputs color block image 1321 to either color image field coding section 1301 or color image frame coding section 1302 according to mode information 1333.

On the other hand, second switching section 1308 inputs mode information 1333 to either color image field coding section 1301 or color image frame coding section 1302 according to mode information 1333.

Color image field coding section 1301 codes mode information 1333 and then codes and outputs color block image signal 1321 for each field.

Color image frame coding section 1302 codes mode information 1333 and then codes and outputs color block image signal 1321 in a frame structure.

Fourth switching section 1310 selects the output of color image field coding section 1301 or the output of color image frame coding section 1302 according to mode information 1333 and outputs it as coding color image signal 1334.

Third switching section 1309 inputs binary block image 1322 divided by a block division section that is not shown in the figure into two-dimensional blocks made up of a plurality of pixels to binary field coding section 1304 or binary frame coding section 1305 according to mode information 1333.

Binary image field coding section 1304 codes and outputs binary block image 1322 for each field. Binary image frame coding section 1305 codes and outputs binary block image 1322 in a frame structure.

Fifth switching section 1311 selects the output of binary image field coding section 1304 or the output of binary image frame coding section 1305 according to mode information 1333 and outputs it as coding binary image signal 1335.

According to the present embodiment described above, applying coding of binary digital images according to mode information of color digital images to color digital image signals with an interlaced structure and binary digital images eliminates the necessity of coding mode information of binary digital image mode information and makes it possible to improve the coding efficiency.

The present embodiment uses first to third switching sections 1307, 1308, and 1309, and fourth and fifth switching sections 1310 and 1311, but it is also possible to obtain the same effect using only one of the input side or output side of the coding section.

(Eleventh embodiment)

FIG.24 is a block diagram of the image decoding apparatus that relates to an eleventh embodiment of the present invention. In FIG.24, the same signals as those in the tenth embodiment shown in FIG.23 are assigned the same numbers and their explanations are omitted.

This image decoding apparatus comprises mode decoding judgment section 1401 that decodes coding mode information from coding color image signal 1334, color image field decoding section 1402 that decodes color block images from the coding color image signal in field units, color image frame decoding section 1403 that decodes color block images from a coding color image signal 1334 in a frame structure, binary image field decoding section 1404 that decodes binary block images from coding binary image signal 1335 in field units, and binary image frame decoding section 1405

that decodes binary block images from coding binary image signal 1335 in frame units.

On the input side of color image field decoding section 1402 and color image frame decoding section 1403, first switching section 1406 is placed, while on the input side of binary image field decoding section 1404 and binary image frame decoding section 1405, second switching section 1407 is placed. Furthermore, on the output side of color image field decoding section 1402 and color image frame decoding section 1403, third switching section 1408 is placed, while on the output side of binary image field decoding section 1404 and binary image frame decoding section 1405, fourth switching section 1409 is placed.

The operation of the image decoding apparatus configured as shown above is explained below. Mode decoding judgment section 1401 decodes color image mode information 1410 from coding color image signal 1334.

First switching section 1406 inputs coding color image signal 1334 to color image field decoding section 1402 or color image frame decoding section 1403 according to mode information 1410.

Color image field decoding section 1402 decodes color block images in field units from coding color image signal 1334. Color image frame decoding section 1403 decodes color block images in a frame structure from coding color image signal 1334.

Third switching section 1408 selects either the output of color image field decoding section 1402 or the output of color image frame decoding section 1403 according to mode information 1410 and outputs it as decoded color block image 1411. Second switching section 1407 inputs binary coding image signal 1335 to either binary image field decoding section 1404 or binary image frame decoding section 1405 according to color image mode information 1410.

Binary image field decoding section 1404 decodes binary block images from coding binary image signal 1335 in field units. Binary image frame decoding section 1405 decodes binary block images from coding binary image signal 1335 in a frame structure.

Fourth switching section 1409 selects either the output of binary image field decoding section 1404 or the output of binary image frame decoding section 1405 according to mode information 1410 and outputs it as decoded binary block image 1412.

According to the present embodiment described above, for coding image signals of color digital images with an interlaced structure and binary digital images, carrying out decoding according to color image mode information decoded by mode decoding judgment section 1401 for both color images and binary images allows correct decoding without using binary image mode information.

The present embodiment uses first and second switching sections 1406 and 1407 and third and fourth switching sections 1408 and 1409, but it is also possible

to obtain the same effect using only one of the switching sections.

(Twelfth embodiment)

FIG.25 is a block diagram of the image coding apparatus that relates to a twelfth embodiment of the present invention. While the tenth embodiment described above determines whether to perform coding from color block image signal 1321 in field units or frame units, the present embodiment determines whether to perform coding from binary image signal 1322 in field units or frame units. In FIG.25, the blocks and signals with the same functions as those in the tenth embodiment shown in FIG.23 are assigned the same numbers and their explanations are omitted.

The operation of the image coding apparatus configured as shown above is explained below. The binary digital input image signal is divided by a block division section which is not shown in the figure into two-dimensional blocks made up of a plurality of pixels, and input to mode judgment section 1306 and first switching section 1307 as binary block image 1322.

Mode judgment section 1306 judges either coding in field units or coding in frame units using distribution and correlation, etc. of pixel values from binary block image 1322 input and outputs it as mode information 1800.

First switching section 1307 inputs binary block image 1322 to either binary image field coding section 1304 or binary block image frame coding section 1305 according to mode information 1800. Second switching section 1308 inputs mode information 1800 to either binary image field coding section 1304 or binary image frame coding section 1305 according to mode information 1800.

Binary image field coding section 1304 codes mode information 1800 and then codes binary block image 1322 for each field and outputs it. Binary image frame coding section 1305 codes mode information 1800 and then codes binary block image 1322 in a frame structure and outputs it.

Fourth switching section 1310 selects either the output of binary image field coding section 1304 or the output of binary image frame coding section 1305 according to mode information 1800 and outputs it as coding binary image signal 1801. Third switching section 1309 inputs color block image 1321 divided by a block division section that is not shown in the figure into two-dimensional blocks made up of a plurality of pixels to either binary color field coding section 1301 or color image frame coding section 1302 according to mode information 1800.

When color block image 1321 is input to color image field coding section 1301, color block image 1321 is coded for each field and output. When color block image 1321 is input, color image frame coding section 1302 codes color block image 1321 in a frame structure

and outputs it.

Fifth switching section 1311 selects the output of color image field coding section 1301 or the output of color image frame coding section 1302 according to mode information 1800 and outputs it as coding color image signal 1802.

According to the present embodiment described above, for color digital image signals with an interlaced structure and binary digital image signals, carrying out coding of color digital images according to mode information of binary digital images eliminates the necessity of coding mode information of color digital image and makes it possible to improve the coding efficiency.

(Thirteenth embodiment)

FIG.26 is a block diagram of the image decoding apparatus that relates to a thirteenth embodiment of the present invention. It is an example of the decoding apparatus of the coding image signal coded by the twelfth embodiment above and the same signals as those in the twelfth embodiment shown in FIG.25 and the same functions as those of each part of the eleventh embodiment shown in FIG.24 are assigned the same codes.

In FIG.26, mode decoding judgment section 1401 is the section that decodes mode information 1800 from coding binary image signal.

The operation of the image decoding apparatus configured as shown above is explained below. Mode decoding judgment section 1401 decodes mode information 1800 from coding binary image signal 1801. First switching section 1406 inputs coding binary image signal 1801 to either binary image field decoding section 1404 or binary image frame decoding section 1405 according to mode information 1800.

If coding binary image signal 1801 is input to binary image field decoding section 1404, binary block images are decoded from coding binary image signal 1801 in field units. If coding binary image signal 1801 is input to binary image frame decoding section 1405, binary block images are decoded from coding binary image signal 1801 in a frame structure.

Third switching section 1408 selects either the output of binary image field coding section 1404 or the output of binary image frame coding section 1405 according to mode information 1800 and outputs it as decoded binary block image 1412.

Second switching section 1407 inputs coding color image signal 1802 to either color image field decoding section 1402 or color image frame decoding section 1403 according to binary image mode information 1800.

If coding color image signal 1802 is input, color image field decoding section 1402 decodes color block images from coding color image signal 1802 in field units. If coding color image signal 1802 is input, color image frame decoding section 1403 decodes color block images from coding color image signal 1802 in a

frame structure.

Fourth switching section 1409 selects either the output of color image field decoding section 1402 or the output of color image frame decoding section 1403 according to mode information 1800 and outputs it as decoded color block image 1411.

According to the present embodiment described above, for coding image signals of color digital images with an interlaced structure and binary digital images, carrying out decoding according to binary image mode information decoded by mode decoding judgment section 1401 for both color images and binary images allows correct decoding without using color image mode information.

(Fourteenth embodiment)

FIG.27 is a block diagram of the image coding apparatus that relates to a fourteenth embodiment of the present invention. This image coding apparatus comprises memory 1900 that stores input images, field pixel value distribution survey section 1901 that surveys in field units the distribution status of the pixel values of pixels peripheral to the target pixel, frame pixel value distribution survey section 1902 that surveys in frame units the distribution status of the pixel values of pixels peripheral to the target pixel, probability distribution determination sections 1903 and 1905 that determine probability of the pixel value of the target pixel using a probability distribution table in FIG.28 according to the distribution status of peripheral pixel values, arithmetic coding sections 1904 and 1906 that arithmetically codes the pixel values of the target pixel according to the determined probability distribution, mode judgment section 1907 that compares the coding signal coded in field units and coding signal coded in frame units and judges field/frame modes and outputs mode information, and switching section 1908 that switches output signals between arithmetic coding sections 1904 and 1906 according to the mode information.

The operation of the image coding apparatus configured as shown above is explained below. Binary digital image signal 1910 divided by a block division section which is not shown in the figure into two-dimensional blocks made up of a plurality of pixels is input and stored in memory 1900 first.

Field pixel value distribution survey section 1901 and frame pixel value distribution survey section 1902 read pixel values of pixels peripheral to the pixel to be coded from memory 1900 and detect the distribution status of the pixel values read.

FIG.29A and FIG.29B show blocks divided into 8 x 8 pixels and the pixel at pixel position A is the pixel to be coded. The black hatched pixels indicate coded pixels. Field pixel value distribution survey section 1901 outputs pixel values at pixel positions B, C, and D shown in FIG.29A as the peripheral pixel values of the pixel to be coded A. Frame pixel value distribution survey section

1902 outputs pixel values at pixel positions B, C, and D shown in FIG.29B as the peripheral pixel values of the pixel to be coded A.

Probability distribution determination section 1903 for field images determines probability distribution of the pixel value of the pixel to be coded from the distribution status of the peripheral pixel values determined by field pixel value distribution survey section 1901. For example, if (B, C, D) is (black, white, black), the probability that coding target pixel A will be black is 0.75; that of white is 0.25 according to the probability distribution table in FIG.28. Arithmetic coding section 1904 applies arithmetic coding to the pixel value of target pixel A based on the probability distribution determined by probability distribution determination section 1903 and outputs a coding image signal.

On the other hand, probability distribution determination section 1905 for frame images, determines probability distribution of the pixel value of the pixel to be coded from the distribution status of the peripheral pixel values determined by frame pixel value distribution survey section 1902. For example, if (B, C, D) is (black, black, black), the probability that coding target pixel A will be black is 0.95; that of white is 0.05 according to the probability distribution table in FIG.28. Arithmetic coding section 1906 applies arithmetic coding to the pixel value of target pixel A based on the probability distribution determined by probability distribution determination section 1906 and outputs a coding image signal.

Mode judgment section 1907 compares for each block the coding image signal obtained based on the probability distribution surveyed on the distribution status of pixel values in field units and the coding image signal selected based on the probability distribution surveyed on the distribution status of pixel values in frame units and judges the field/frame modes by selecting the one with a shorter code length and outputs it as mode information 1915.

Switching section 1908 selects either a coding image signal in field units or coding image signal in frame units according to mode information 1915 and outputs it as coding image signal 1916.

According to the present embodiment described above, when determining probability distribution of the pixel value of the pixel to be coded according to the distribution status of peripheral pixel values and arithmetically coding binary digital images with an interlaced structure, judging the method for determining for each block probability distribution with a better efficiency, whether in field units or in frame units by the mode judgment section and switching it makes it possible to improve the coding efficiency.

The present embodiment shows 8x8-pixel blocks, but it is also possible to apply the same procedure to any m x n-pixel blocks.

FIG.29 uses 3 pixels B, C, and D as the pixels peripheral to the pixel to be coded, but it is also possible to use more pixels.

(Fifteenth embodiment)

FIG.30 shows a block diagram of the image decoding apparatus that relates to a fifteenth embodiment of the present invention. In FIG.30, the same signals as those in the fourteenth embodiment shown in FIG.27 are assigned the same numbers and their explanations are omitted.

This image decoding apparatus comprises field pixel value distribution survey section 2001 that surveys the distribution status of pixels peripheral to the target pixel in field units for the pixel value data of pixels already decoded, frame pixel value distribution survey section 2002 that surveys the distribution status of pixels peripheral to the target pixel in frame units for the pixel value data of pixels already decoded, probability distribution determination section 2003 that determines the probability distribution corresponding to the distribution status of pixels peripheral to the target pixel, and arithmetic decoding section 2004 that arithmetically decodes the coding image signal to be decoded. It also comprises memory 2005 that stores the image decoded by arithmetic decoding section 2004, first switching section 2006 that selectively inputs the image stored in memory 2005 to either field pixel value distribution survey section 2001 or frame pixel value distribution survey section 2002, and second switching section 2007 that switches the distribution status of peripheral pixels to be input to probability distribution determination section 2003.

The operation of the image decoding apparatus configured as shown above is explained below. First switching section 2006 inputs the pixel value data of the pixels already decoded stored in memory 2005 to field pixel value distribution survey section 2001 or frame pixel value distribution survey section 2002 according to mode information 1915.

In field pixel value distribution survey section 2001, suppose that pixel position A is the pixel to be decoded in the block to be decoded illustrated in FIG.29A, the black hatched pixels are already decoded and the pixel values at pixel positions B, C, and D are output as the pixel values peripheral to pixel A to be decoded, while in frame pixel value distribution survey section 2002, in the block to be decoded illustrated in FIG.29B, the pixel values at pixel positions B, C, and D are output as the pixel values peripheral to pixel A to be decoded in the same way.

Second switching section 2007 inputs either the distribution status of pixel values in field units or in frame units to probability distribution determination section 2003 according to mode information 1915.

Probability distribution determination section 2003 determines the probability distribution of pixel values of pixels to be coded according to the distribution status of peripheral pixel values determined by field pixel value distribution survey section 2001 or frame pixel value distribution survey section 2002. As in the case of coding,

if (B, C, D) is (black, white, black), the probability that coding target pixel A will be black is 0.75 and that of black is 0.25 according to the probability distribution table in FIG.28.

Arithmetic decoding section 2004 decodes pixel values according to the probability distribution determined by probability distribution determination section 2003 and outputs them as decoding image signal 2008. The output decoding image signal is input to memory 2005 and stored therein.

According to the present embodiment described above, for the image decoding apparatus that decodes pixel values of binary digital images using arithmetic coding, when determining the probability distribution of the pixel value of the pixel to be decoded according to the distribution status of pixel values of pixels peripheral to the pixel to be decoded, it is also possible to correctly decode images with an interlaced structure by using mode information 1915 and first and second switching sections 2006 and 2007.

FIG.29A and FIG.29B show cases where three pixels B, C, and D are used as pixels peripheral to the pixel to be coded, but it is also possible to use more pixels.

(Sixteenth embodiment)

FIG.31 shows a block diagram of the image coding apparatus in a sixteenth embodiment of the present invention. In FIG.31, the same blocks and signals as those in the eighth embodiment shown in FIG.18 and fourteenth embodiment shown in FIG.27 are assigned the same numbers and their explanations are omitted.

Section 2301 comprises field motion inference section 801 shown and field motion compensation section 803 in FIG.18, while section 2302 comprises frame motion inference section 802 and frame motion compensation section 804 in FIG.18. The motion vector 829 output by field motion inference section 801 and frame motion inference section 802 are transmitted via switching section 826.

Section 2303 comprises field pixel value distribution survey section 1901, probability distribution determination section 1903 and arithmetic coding section 1904 in FIG.27, while section 2304 comprises frame pixel value distribution survey section 1902, probability distribution determination section 1905 and arithmetic coding section 1906. FIG.32 shows the functional block of the parts that relate to section 2303 and section 2304.

Mode judgment section 2305 compares coding image signals of field predicted images and frame predicted images output by sections 2303 and 2304 and selects the mode with a shorter coding length and uses it as mode information 2321.

Furthermore, on the output side of sections 2303 and 2304, second switching section 2306 that selectively switches a coding image signal output by sections 2303 and 2304 is placed.

Field arithmetic decoding section 2307 that

decodes the coding image signal arithmetically coded in field mode and frame arithmetic decoding section 2308 that decodes the coding image signal arithmetically coded in frame mode are also provided. Input/output to/from field arithmetic decoding section 2307 and frame arithmetic decoding section 2308 is switched by third and fourth switching sections 2309 and 2310 placed in stages before and after it in synchronization with the judgment mode.

The operation of the image coding apparatus configured as shown above is explained below. The predicted motion compensation image obtained by predicting motion compensation from the already coded images by field motion inference/compensation section 2301 is input to field pixel value distribution survey section 1901 and frame pixel value distribution survey section 1902.

Field pixel value distribution survey section 1901 and frame pixel value distribution survey section 1902 survey pixel values of pixels at the same position as the pixel to be coded at predicted motion compensation image signal 824 (825) and pixels peripheral thereto.

FIG.33 and FIG.34 show blocks divided into 8x8 pixels, while FIG.33A and FIG.34A show predicted motion compensation blocks and FIG.33B and FIG.34B show the block to be coded.

Supposing that the pixel to be coded is pixel A shown in FIG.33B, field pixel value distribution survey section 1901 outputs pixel B in FIG.33A at the same position as that of pixel A within motion compensation prediction block and the pixel values of C and D which are the peripheral pixels in field units as the distribution status of the peripheral pixel values of pixel A to be coded.

Supposing that the pixel to be coded is pixel A shown in FIG.34B, frame pixel value distribution survey section 1902 outputs pixel B in FIG.34A at the same position as that of pixel A within motion compensation prediction block and the pixel values of C and D which are the peripheral pixels in frame units as the distribution status of the peripheral pixel values of pixel A to be coded.

Probability distribution determination sections 1903 and 1905 determine the probability distribution of the pixel value of the pixel to be coded according to the distribution status of the peripheral pixel values determined by field pixel value distribution survey section 1901 and frame pixel value distribution survey section 1902. That is, if (B, C, D) is (black, white, black), the probability that the pixel value of pixel A to be coded will be black is 0.75; that of white is 0.25 according to the probability distribution table in FIG.35.

Pixel value coding means 1904 and 1906 arithmetically code pixels values based on the probability distribution determined by probability distribution determination sections 1903 and 1905 and outputs coding image signals.

Mode judgment section 2305 compares for each

block the coding image signal obtained based on the probability distribution surveyed on the distribution status of pixel values in field units and the coding image signal obtained based on the probability distribution surveyed on the distribution status of pixel values in frame units and judges the field/frame modes by selecting the one with a shorter code length and outputs it as mode information 2321.

Second switching section 2306 selects either a coding image signal in field units or coding image signal in frame units according to mode information 2321 and outputs it as coding image signal 2320.

According to the present embodiment described above, when determining probability distribution of the pixel value of the pixel to be coded according to the distribution status of pixel values of predicted motion compensation images and arithmetically coding for binary digital images with an interlaced structure, it is possible to improve the coding efficiency by making mode judgment section 2305 judge for each block the method with a better efficiency; determining probability distribution in field units or in frame units and switching them.

(Seventeenth embodiment)

FIG.36 shows a block diagram of the image decoding apparatus that relates to a seventeenth embodiment of the present invention. In FIG.36, the same blocks and signals as those in the ninth embodiment shown in FIG.22 and the sixteenth embodiment shown in FIG.31 are assigned the same numbers and their explanations are omitted.

This image decoding apparatus comprises field/frame motion compensation section 2500 that creates predicted motion compensation images from the decoded reference images and received motion vectors, etc. Field/frame motion compensation section 2500 comprises field motion compensation section 1201, frame motion compensation section 1202, a plurality of switching sections 1204, 1205 and 1206 that switch field/frame modes, and memory 1207 that stores decoding images as reference images, etc. as shown in FIG.22.

The image decoding apparatus comprises field pixel value distribution survey section 2501 that detects the pixel status of pixels peripheral to the target pixel from the predicted motion compensation images in field units and frame pixel value distribution survey section 2502 that detects the pixel status of pixels peripheral to the target pixel from the predicted motion compensation images in frame units.

It also comprises field pixel value distribution survey section 2501, probability distribution determination section 2503 that determines the probability corresponding to the target pixel from the distribution status output from frame pixel value distribution survey section 2502, and arithmetic decoding section 2504 that carries out arithmetic decoding based on the determined probab-

ity.

The operation of the image decoding apparatus configured as shown above is explained below. First switching section 2505 inputs the predicted motion compensation image signal obtained from section 2500 to field pixel value distribution survey section 2501 or frame pixel value distribution survey section 2502 according to mode information 2321.

Supposing that pixel A is the pixel to be decoded in the 8x8-pixel block to be decoded in FIG.33B, field pixel value distribution survey section 2501 outputs pixel B at the same position as pixel A in the motion compensation prediction block illustrated in FIG.33A and the pixel values of pixels C and D which are the pixels peripheral to pixel B as the peripheral pixel values of pixel A to be decoded in field units. Furthermore, supposing that pixel A is the pixel to be decoded in the 8x8-pixel block to be decoded in FIG.34B, it outputs pixel B at the same position as pixel A in the motion compensation prediction block illustrated in FIG.34A and the pixel values of pixels C and D which are the pixels peripheral to pixel B as the peripheral pixel values of pixel A to be decoded in frame units.

Second switching section 2506 placed on the output side inputs either the distribution status of pixel values in field units or the distribution status of pixel values in frame units to probability distribution determination section 2503 according to mode information 2321.

Probability distribution determination section 2503 determines the probability distribution of pixel value of the pixel to be coded from the distribution status of the peripheral pixel values determined by field pixel value distribution survey section 2501 or frame pixel value distribution survey section 2502. That is, if (B, C, D) is (black, white, black), the probability that the pixel value of pixel A to be coded will be black is 0.75; that of white is 0.25 according to the probability distribution table shown in FIG.35.

Arithmetic decoding section 2504 decodes pixel values based on the probability distribution determined by probability distribution determination section 2503, and outputs it as decoding image signal 2510.

According to the present embodiment described above, in the image decoding apparatus that decodes binary digital image pixel values using arithmetic decoding, when determining the probability distribution of the pixel value of the pixel to be decoded according to the distribution status of pixel values of the predicted motion compensation images, using mode information 2321 and first and second switching sections 2505 and 2506 also makes it possible to correctly decode images with an interlaced structure.

(Eighteenth embodiment)

The present invention implements the processing of the functional blocks shown in the first to seventeenth embodiments by means of software using a program,

and carrying this program in a recording medium such as a floppy disk allows it to be implemented on other independent computer systems easily. FIG.37 shows a floppy disk as an example of recording medium.

The present embodiment shows the floppy disk as a recording medium, however, it is also possible to use any IC card, CD-ROM, magnetic tape, and whatever medium that allows the program to be recorded.

It is also possible to construct an image coding/decoding apparatus that has the image coding apparatus functions and image decoding apparatus functions together.

Industrial Applicability

As described above, the image coding apparatus and image decoding apparatus that relate to the present invention are useful for dividing digital images with an interlaced structure, coding/decoding them for each block, and suitable for improving the coding efficiency by selecting a mode with a better coding efficiency taking account of the field structure or frame structure for each block.

Claims

1. An image coding apparatus, comprising:

field-unit processing means for processing pixel blocks obtained by dividing binary digital images in field units;
frame-unit processing means for processing pixel blocks obtained by dividing said binary digital images in frame units;
mode judging means for judging in block units whether to process said pixel block in field units or frame units;
switching means for switching input or output to/from said field-unit processing means and said frame-unit processing means according to mode information indicating the judgment result of said mode judging means.

2. The image coding apparatus according to claim 1, wherein:

said field-unit processing means performs coding processing on said pixel blocks in field units;
said frame-unit processing means performs coding processing on said pixel blocks in frame units.

3. The image coding apparatus according to claim 1, wherein:

said field-unit processing means down-samples said pixel blocks in field units;

said frame-unit processing means down-samples said pixel blocks in frame units;
 said mode judging means judges for each block whether to down-sample said pixel blocks in field units or in frame units when coding said binary digital images and outputs mode information that indicates judgment results.

4. The image coding apparatus according to claim 1, wherein:

said field-unit processing means carries out motion compensation on said pixel blocks in field units to create field predicted images;
 said frame-unit processing means carries out motion compensation on said pixel blocks in frame units to create frame predicted images;
 said mode judging means judges whether to carry out motion compensation in field units or in frame units when coding said binary digital images and outputs mode information that indicates judgment results.

5. The image coding apparatus according to claim 1, wherein:

said field-unit processing means comprises:

field change point detecting means for detecting pixel value change points in field images;
 field predicting means for predicting the next pixel value change position from a change position where a pixel value change has already been detected in the same field image;
 field coding means for coding the difference value between a change point detection position detected by said field change point detecting means and a change point predicted position predicted by said field prediction means; and

said frame-unit processing means comprises:

frame change point detecting means for detecting pixel value change points in frame images;
 frame predicting means for predicting the next pixel value change position from a change position where a pixel value change is detected in the same frame image;
 frame coding means for coding the difference value between a change point detected position detected by said frame change point detecting means and a change point predicted position predicted

by said frame predicting means; and

said mode judging means compares the code length of a coding image signal output from said field coding means and the code length of a coding image signal output from said frame coding means and carries out mode judgment.

6. The image coding apparatus according to claim 1, wherein:

said field-unit processing means comprises:

means for surveying the pixel value distribution status of already coded pixels peripheral to a target pixel in a field image;
 means for determining the probability distribution of the pixel value of said target pixel from the distribution status that appears in said survey result;
 means for carrying out arithmetic coding on the pixel value of said target pixel according to said determined probability distribution;

said frame-unit processing means comprises:

means for surveying the pixel value distribution status of already coded pixels peripheral to a target pixel in a frame image;
 means for determining the probability distribution of the pixel value of said target pixel from the distribution status that appears in said survey result;
 means for carrying out arithmetic coding on the pixel value of said target pixel according to said determined probability distribution.

7. The image coding apparatus according to claim 1, wherein:

said field-unit processing means comprises:

means for creating a field predicted image by carrying out motion compensation on said pixel block in field units;
 means for surveying the pixel value distribution status of already coded pixels peripheral to a target pixel in said field predicted image;
 means for determining the probability distribution of the pixel value of said target pixel from the distribution status that appears in said survey result;
 means for arithmetically coding the pixel value of said target pixel according to said

determined probability distribution;

said frame-unit processing means comprises:

means for creating a frame predicted image by carrying out motion compensation on said pixel block in frame units; means for surveying the pixel value distribution status of already coded pixels peripheral to a target pixel in said frame predicted image; means for determining the probability distribution of the pixel value of said target pixel from the distribution status that appears in said survey result; means for arithmetically coding the pixel value of said target pixel according to said determined probability distribution.

8. The image coding apparatus according to claim 1, wherein:

said field-unit processing means comprises:

color image field coding means for carrying out coding processing of color digital images in field units; means for coding binary digital images that show significant forms of said color digital images in field units; and

said frame-unit processing means comprises:

color image frame coding means for carrying out coding processing of said color digital images in frame units; binary image frame coding means for coding binary digital images that show significant forms of said color digital images in frame units;

said mode judging means determines for each block whether to carry out coding processing of said color digital images in field units or frame units and outputs mode information indicating the judgment result.

9. The image coding apparatus according to claim 1, wherein:

said field-unit processing means comprises:

color image field coding means for coding color digital images in field units; binary image field coding means for coding binary digital images showing the significant form of said color digital images;

said frame-unit processing means comprises:

color image frame coding means for coding said color digital images in frame units; binary image frame coding means for coding binary digital images showing the significant form of said color digital images in frame units;

said mode judging means judges for each block whether to carry out coding processing of said binary digital images in field units or frame units and outputs mode information indicating the judgment result.

10. An image decoding apparatus, comprising:

field-unit processing means for decoding the coding image signal of the pixel block coded in field or frame units in an image coding apparatus;

frame-unit processing means for decoding the coding image signal of said pixel block in frame units;

switching means for switching input or output to/from said field-unit processing means and said frame-unit processing means according to mode information indicating in which mode the pixel block has been coded in said image coding apparatus, in field units or frame units.

11. The image decoding apparatus according to claim 10, wherein:

said field-unit processing means decodes said coding image signal in field units; said frame-unit processing means decodes said coding image signal in frame units;

12. The image decoding apparatus according to claim 10, wherein:

said field-unit processing means up-samples said coding image signal in field units; said frame-unit processing means up-samples said coding image signal in frame units; said switching means carries out switching according to mode information indicating in which mode the pixel block has been down-sampled, in field units or frame units.

13. The image decoding apparatus according to claim 10, wherein:

said field-unit processing means carries out motion compensation based on a motion vector detected during coding of a reference image decoded before and the pixel block to be

decoded in field units;

said frame-unit processing means carries out motion compensation based on a motion vector detected during coding of a reference image decoded before and the pixel block to be

decoded in frame units;
said switching means carries out switching according to mode information indicating in which mode the pixel block has been motion-compensated, in field units or frame units.

14. The image decoding apparatus according to claim 10, comprising:

difference value decoding means for decoding said difference value from the coding image signal obtained by coding the difference value between a detected change point position and predicted change point position within the pixel block;

predicting means for predicting the next pixel value change position from the pixel value change position of pixels within the pixel block decoded before;

adding means for adding said decoded difference value to the pixel value change position predicted by said prediction means;
and wherein:

said field-unit processing means restores field images from the addition result output by said adding means in field units;

said frame-unit processing means restores frame images from the addition result output by said adding means in frame units.

15. The image decoding apparatus according to claim 10, comprising:

probability distribution determining means for determining the probability distribution of the pixel value of said target pixel based on the distribution of pixel values peripheral to the target pixel;

arithmetic decoding means for decoding the arithmetically coded image coding signal of said target pixel using the probability distribution of said determined target pixel;

and wherein:

said field-unit processing means surveys the pixel value distribution of pixels peripheral to the target pixel in field units from the decoding image decoded before by said arithmetic decoding means and outputs the pixel value distribution of the survey result to said probability distribution determining means;

said frame-unit processing means surveys the pixel value distribution of pixels peripheral to the target pixel in frame units from said decod-

ing image and outputs the pixel value distribution of the survey result to said probability distribution determining means.

16. The image decoding apparatus according to claim 10, comprising:

probability distribution determining means for determining the probability distribution of the pixel value of said target pixel based on the distribution of pixel values peripheral to the target pixel;

arithmetic decoding means for decoding the image coding signal arithmetically coded of said target pixel using the probability distribution of said determined target pixel;

and wherein:

said field-unit processing means comprises:

field prediction image creating means for creating field prediction images by carrying out motion compensation on the block of the pixel to be decoded from the decoding image decoded by said arithmetic decoding means in field units; surveying means for surveying the pixel value distribution status of already coded pixels peripheral to the target pixel in said field prediction images;

and

said frame-unit processing means comprises:

frame prediction image creating means for creating frame prediction images by carrying out motion compensation on the block of the pixel to be decoded from the decoding image decoded by said arithmetic decoding means in frame units; surveying means for surveying the pixel value distribution status of already coded pixels peripheral to the target pixel in said frame prediction images.

17. The image decoding apparatus according to claim 10, wherein:

said field-unit processing means comprises:

color image field decoding means for decoding color digital images in field units; binary image field decoding means for decoding binary digital images indicating the significant form of said color digital images in field units;

and

said frame-unit processing means comprises:

color image frame decoding means for
decoding said color digital images in frame
units;
binary image frame decoding means for
decoding binary digital images indicating
the significant form of said color digital
images in frame units;

and

said switching means performs switching
according to mode information indicating in
which mode color digital images have been
coded by the image coding apparatus, in field
units or frame units.

18. The image decoding apparatus according to claim
10, wherein:

said field-unit processing means comprises:

color image field decoding means for
decoding color digital images in field units;
binary image field decoding means for
decoding binary digital images indicating
the significant form of said color digital
images in field units;

and

said frame-unit processing means comprises:

color image frame decoding means for
decoding said color digital images in frame
units;
binary image frame decoding means for
decoding binary digital images indicating
the significant form of said color digital
images in frame units;

and

said switching means performs switching
according to

mode information indicating in which mode said
binary digital images have been coded by the
image coding apparatus, in field units or frame
units.

19. An image coding/decoding apparatus comprising
the image coding apparatus described in claim 3
and image decoding apparatus described in claim
12.

20. An image coding/decoding apparatus comprising
the image coding apparatus described in claim 6

and image decoding apparatus described in claim
15.

21. An image coding/decoding apparatus comprising
the image coding apparatus described in claim 7
and image decoding apparatus described in claim
16.

22. A recording medium that can be read by a compu-
ter, which stores the following programs in execut-
able format:

a first program instruction means for making
the computer processor down-sample pixel
blocks obtained by dividing a binary digital
image in field units;

a second program instruction means for mak-
ing the computer processor down-sample said
pixel blocks in frame units;

a third program instruction means for making
the computer processor judge for each block
whether to down-sample said pixel blocks in
field units or frame units when coding said
binary digital images;

a fourth program instruction means for making
the computer processor select which is more
effective, down-sampling in field units or down-
sampling in frame units.

23. A recording medium that can be read by a compu-
ter, which stores the following programs in execut-
able format:

a first program instruction means for making
the computer processor up-sample coding
image signals in field units;

a second program instruction means for mak-
ing the computer processor up-sample said
coding image signals in frame units;

a third program instruction means for making
the computer processor select up-sampling in
more effective mode according to mode infor-
mation indicating in which mode pixel blocks
have been down-sampled, in field units or
frame units.

24. A recording medium that can be read by a compu-
ter, which stores the following programs in execut-
able format:

a first program instruction means for making
the computer processor judge for each block in
which mode pixel blocks have been coded, in
field units or frame units when coding binary
digital images;

a second program instruction means for mak-
ing the computer processor survey the pixel
value distribution status of already coded pixels

peripheral to the target pixel in a field image; a third program instruction means for making the computer processor determine the probability distribution regarding the pixel value of said target pixel from the distribution status that appears in said survey result;

a fourth program instruction means for making the computer processor arithmetically code the pixel value of said target pixel according to said determined probability distribution;

a fifth program instruction means for making the computer processor survey the pixel value distribution status of already coded pixels peripheral to the target pixel in a frame image;

a sixth program instruction means for making the computer processor determine the probability distribution regarding the pixel value of said target pixel from the distribution status that appears in said survey result;

a seventh program instruction means for making the computer processor arithmetically code the pixel value of said target pixel according to said determined probability distribution;

an eighth program instruction means for making the computer processor select which is more effective mode, arithmetic coding in field units or arithmetic coding in frame units according to the mode information indicating whether to code said pixel blocks in field units or frame units.

25. A recording medium that can be read by a computer, which stores the following programs in executable format:

a first program instruction means for surveying the pixel value distribution of pixels peripheral to the target pixel in field units from the decoding image decoded before;

a second program instruction means for surveying the pixel value distribution of pixels peripheral to the target pixel in frame units from the decoding image decoded before;

a third program instruction means for making the computer processor select effective pixel value distribution of pixels peripheral to the target pixel according to the mode information indicating in which mode the pixel block has been coded, in field units or in frame units;

a fourth program instruction means for making the computer processor determine the probability distribution of pixel value of said target pixel based on the selected effective pixel value distribution;

a fifth program instruction means for mak-

ing the computer processor decode the image coding signal arithmetically coded of said target pixel using the probability distribution of said determined target pixel.

26. An image coding method comprising the following steps of:

processing pixel blocks obtained by dividing a binary digital image in field units;

processing pixel blocks obtained by dividing said binary digital image in frame units;

judging whether to process said pixel blocks in field units or frame units for each block;

selecting which is more effective, processing in said field units or processing in said frame units according to mode information indicating the mode judgment result.

27. An image decoding method comprising the following steps of:

processing for decoding in field units the coding image signal of the pixel block coded in field units or frame units by the image coding apparatus;

processing for decoding in frame units the coding image signal of said pixel block;

selecting more effective processing, processing in said field units or processing in said frame units according to mode information indicating in which mode the pixel block has been coded by said image coding apparatus, in field units or frame units.

FIG. 1

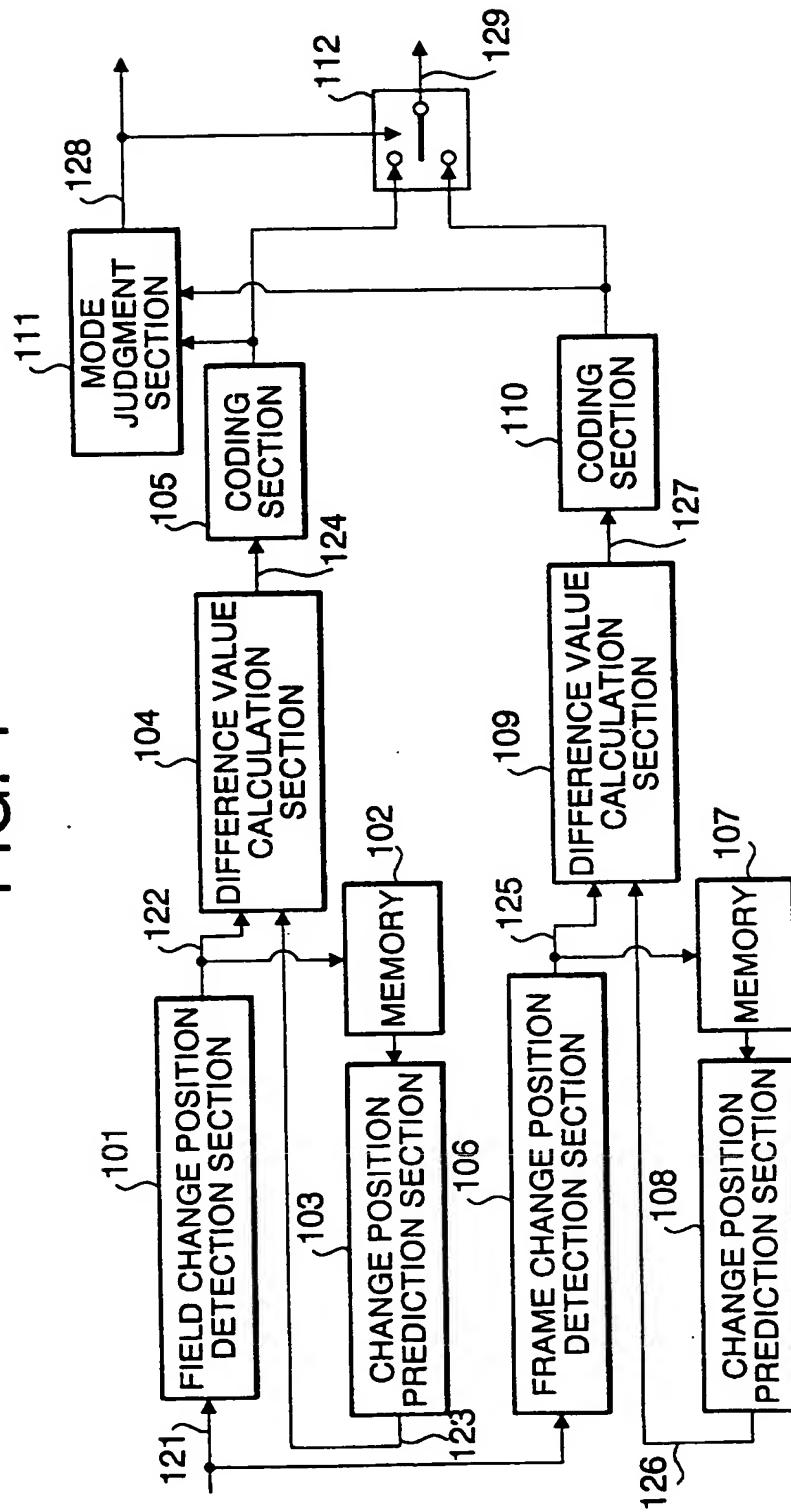


FIG. 2

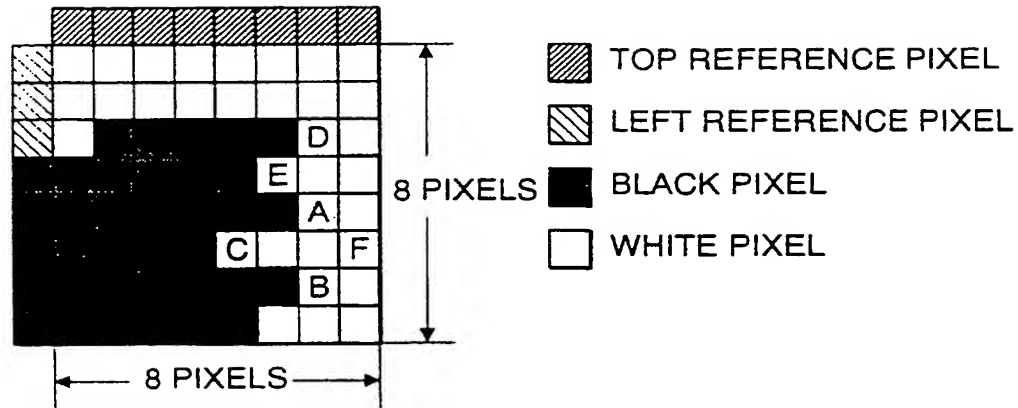


FIG. 3

	LINE NUMBER	1	2	3	4	5	6	7	8
ODD FIELD	CHANGE POSITION	0		7		0		0	
	PREDICTED POSITION	0		0		7		7	
	DIFFERENCE VALUE	0		+6		0		0	
EVEN FIELD	CHANGE POSITION		0		6		-1		+1
	PREDICTED POSITION		0		6		6		4
	DIFFERENCE VALUE		0		+6		-1		+2
FRAME	CHANGE POSITION	0	0	7	-1	+1	-2	+2	-1
	PREDICTED POSITION	0	0	0	0	5	8	2	9
	DIFFERENCE VALUE	0	0	+6	-1	+2	-3	+4	-3

FIG. 4

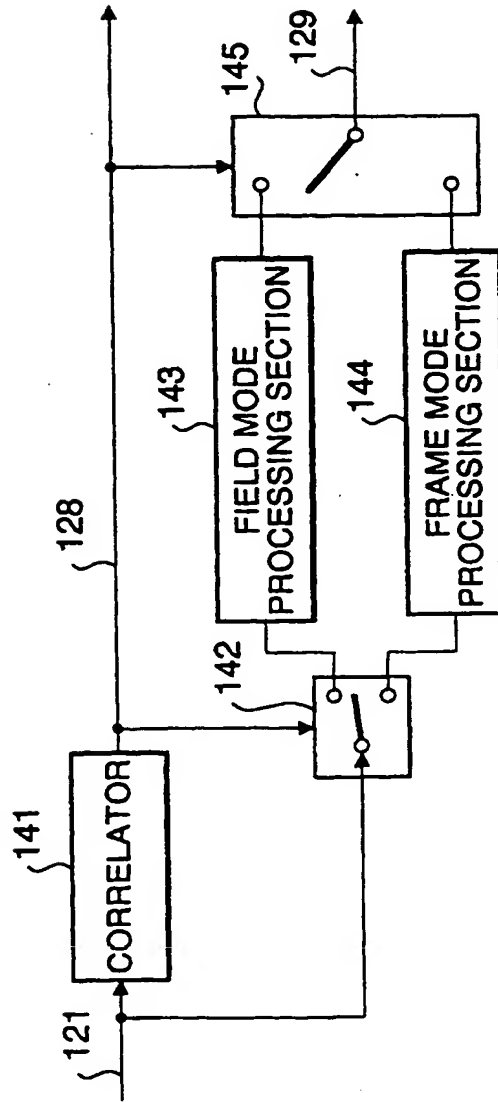


FIG. 5

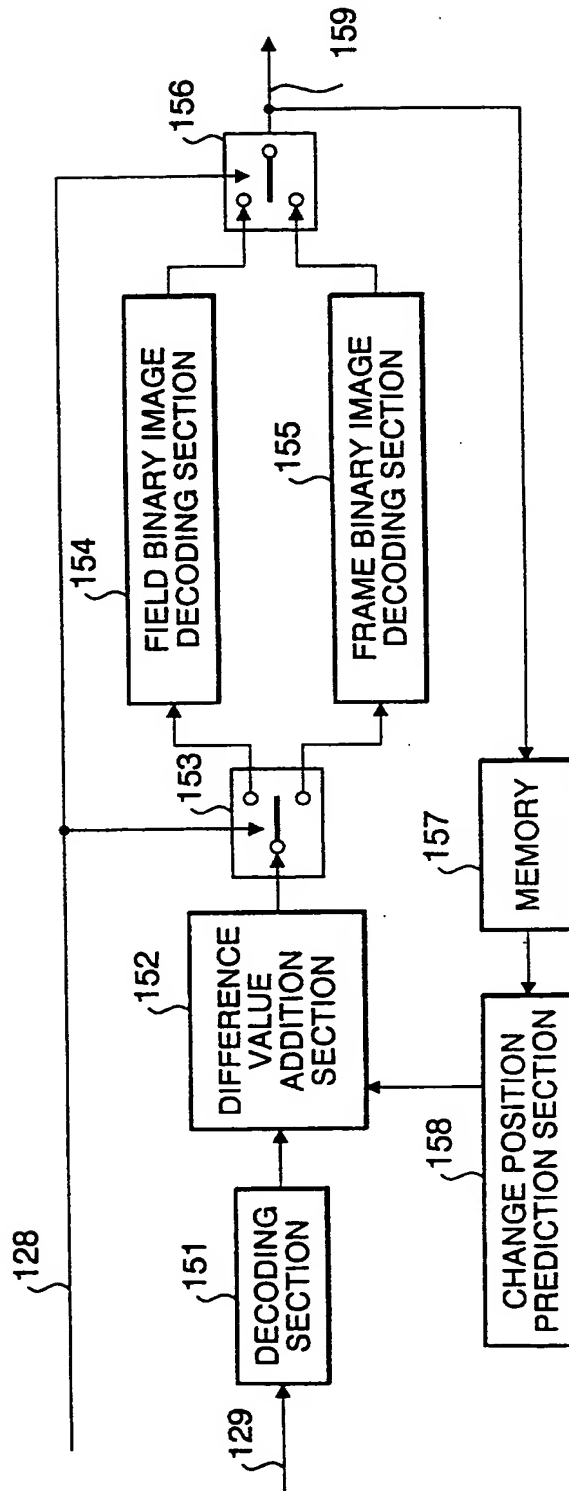


FIG. 6

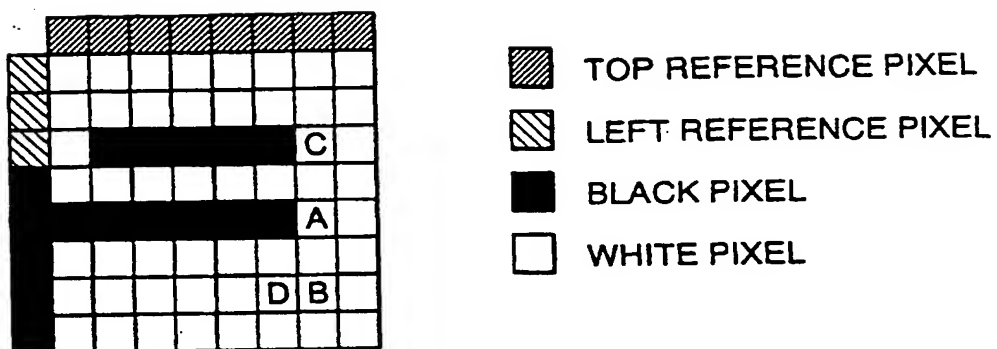


FIG. 7

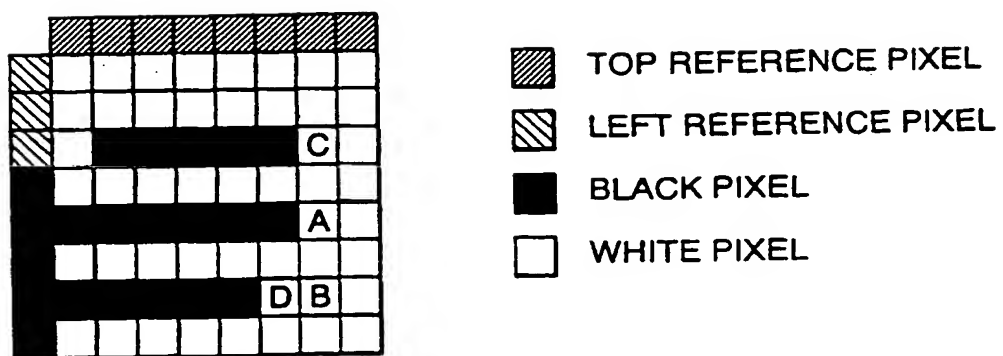


FIG. 8

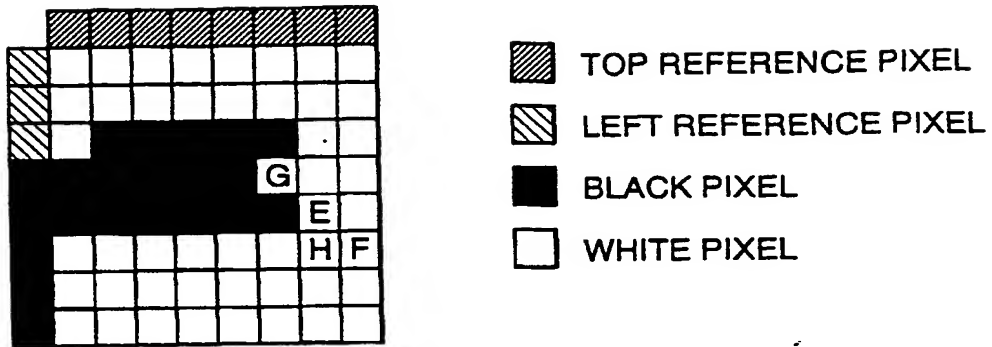


FIG. 9

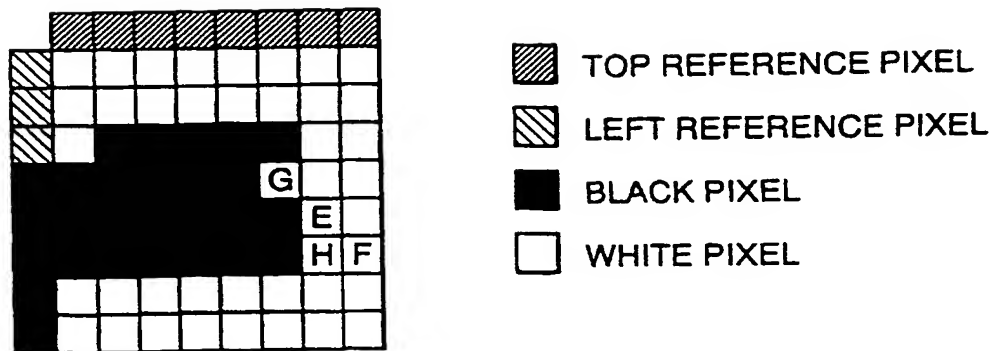


FIG. 10

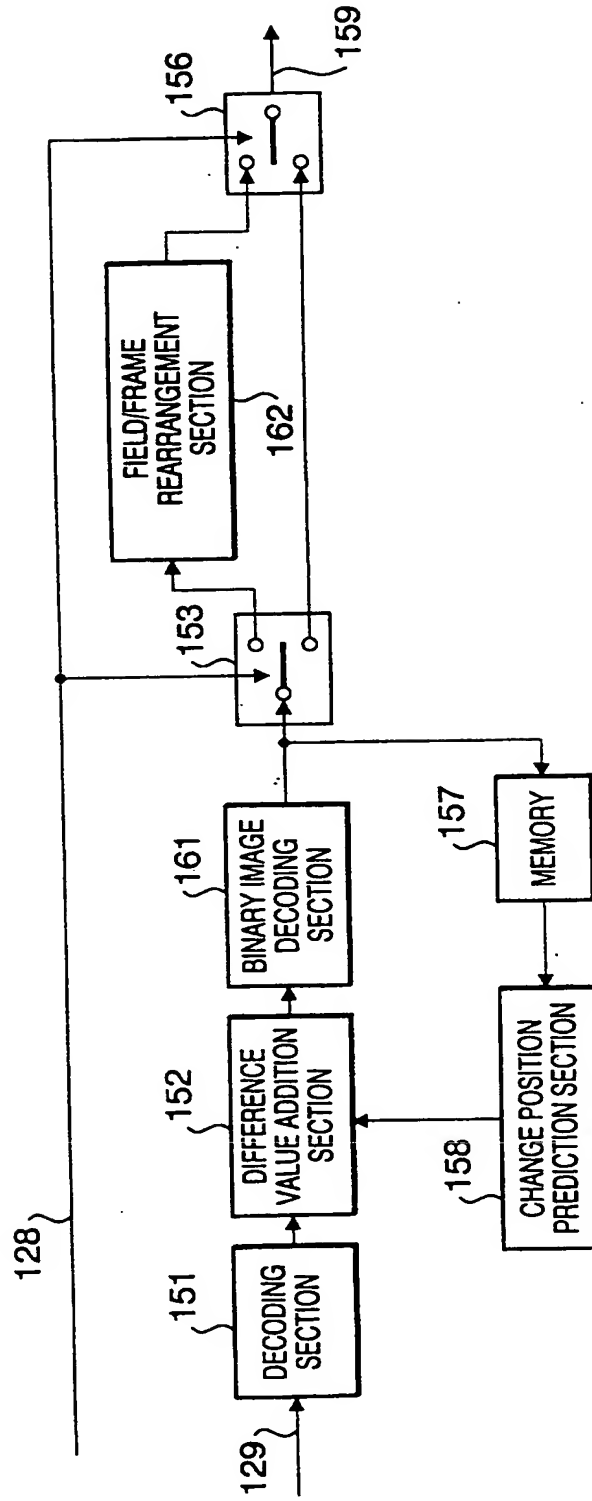
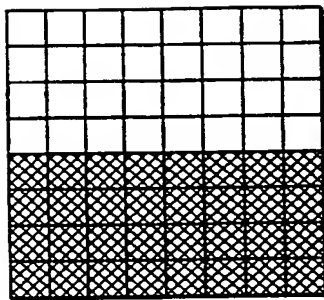


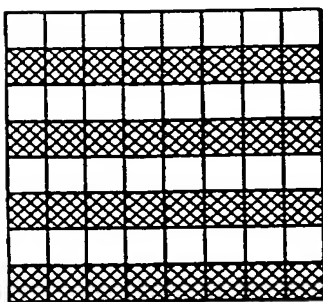
FIG. 11



 PIXEL THAT BELONGS TO FIELD 1

 PIXEL THAT BELONGS TO FIELD 2

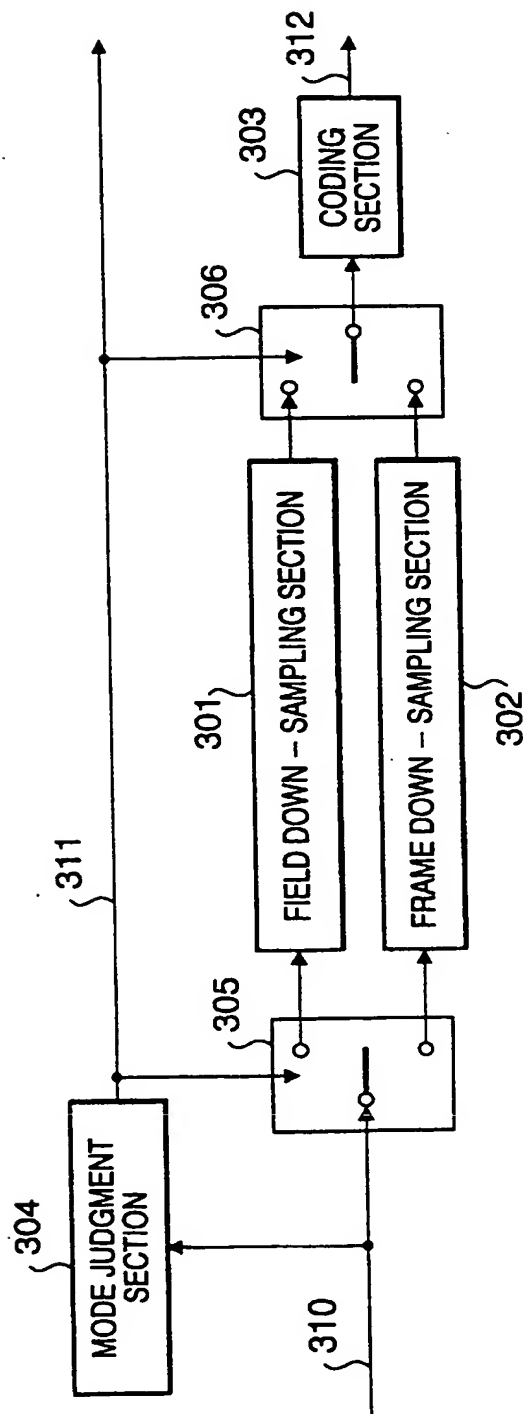
FIG. 12



 PIXEL THAT BELONGS TO FIELD 1

 PIXEL THAT BELONGS TO FIELD 2

FIG. 13



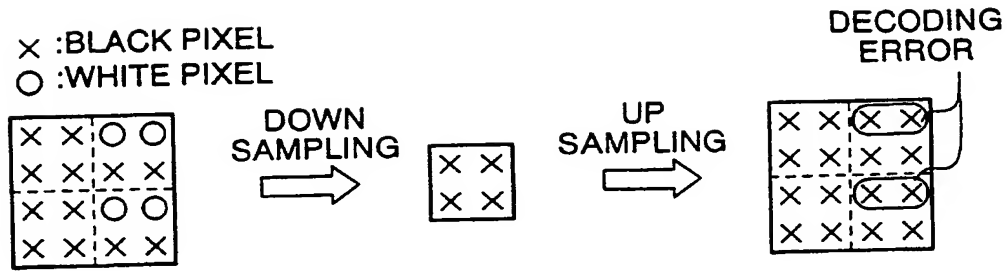


FIG. 14

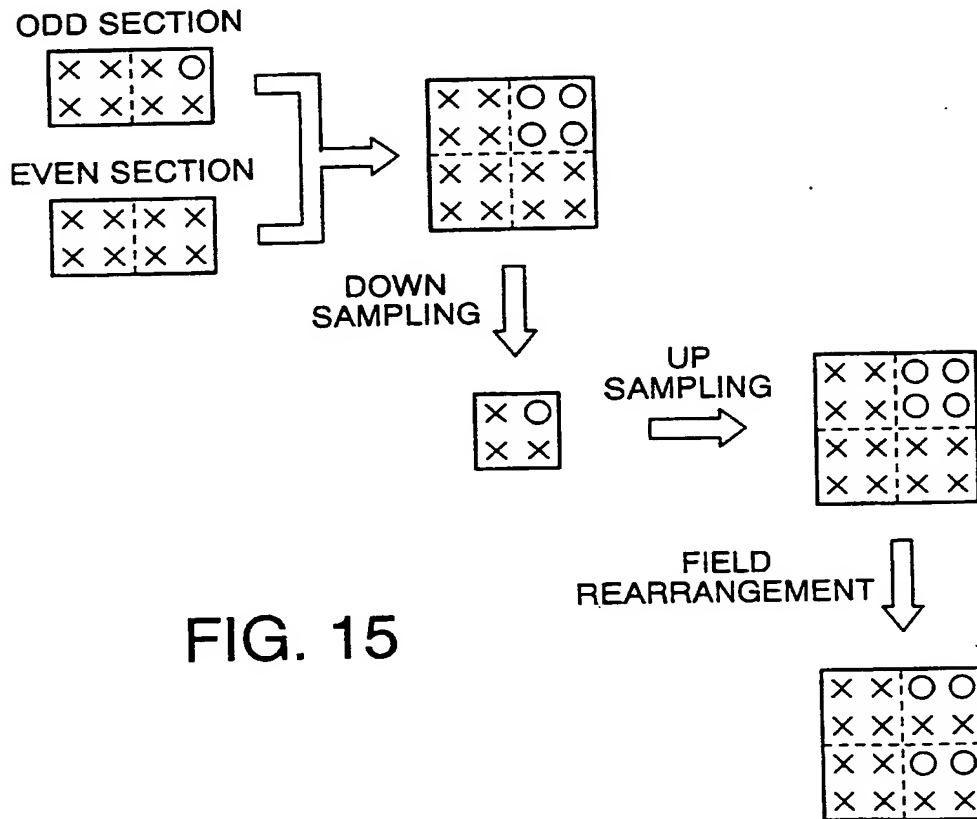


FIG. 15

FIG. 16

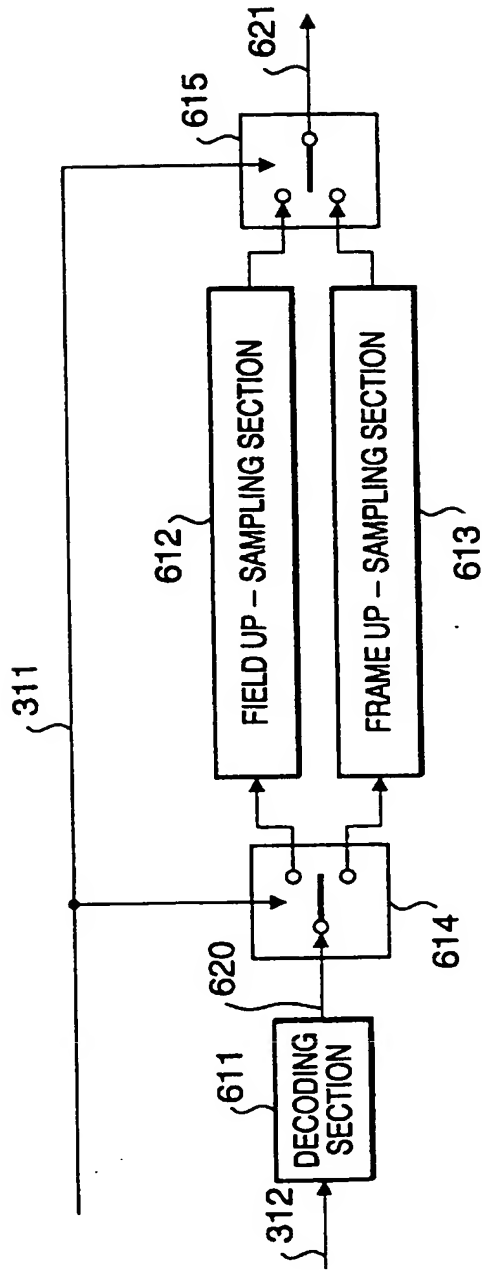


FIG. 17

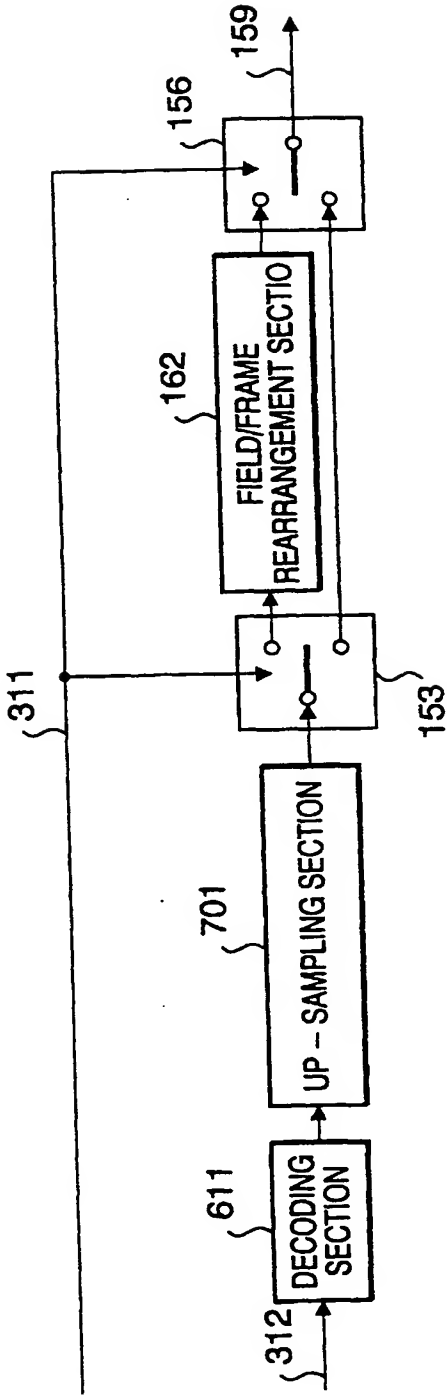
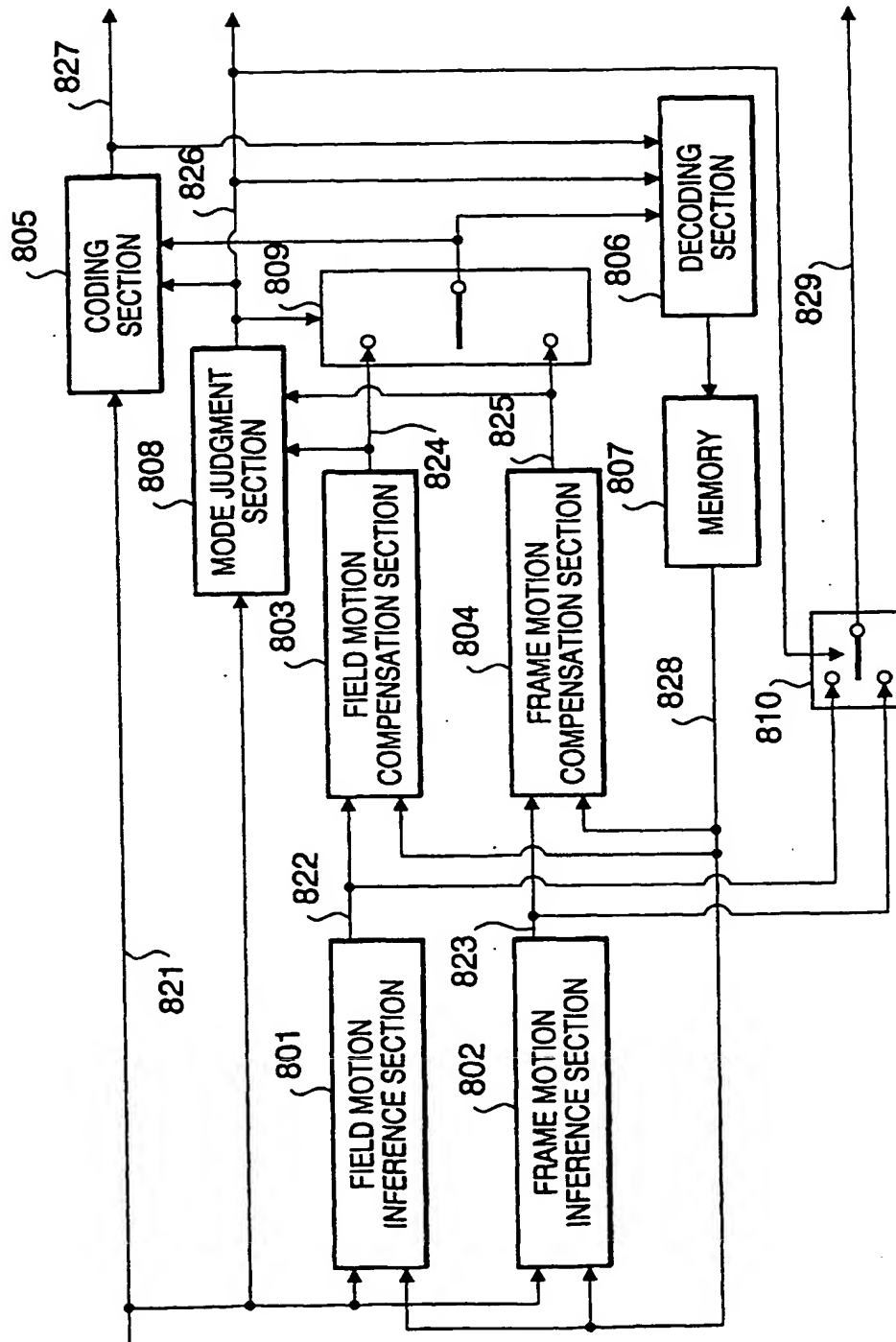


FIG. 18



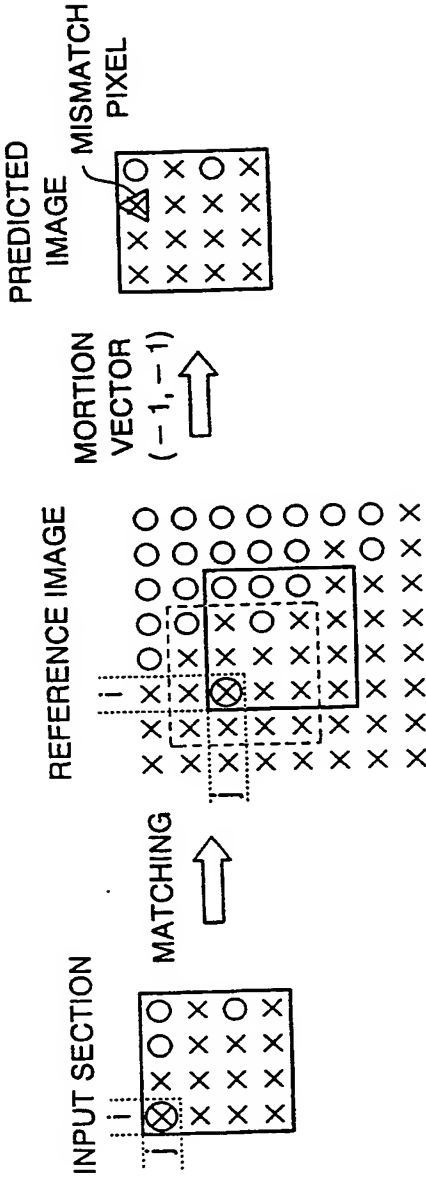


FIG. 19

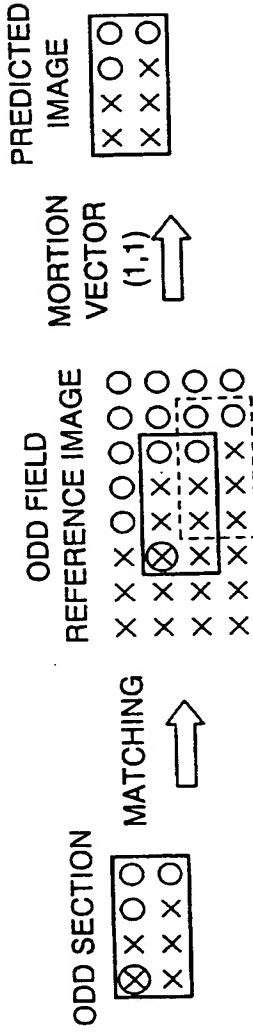


FIG. 20

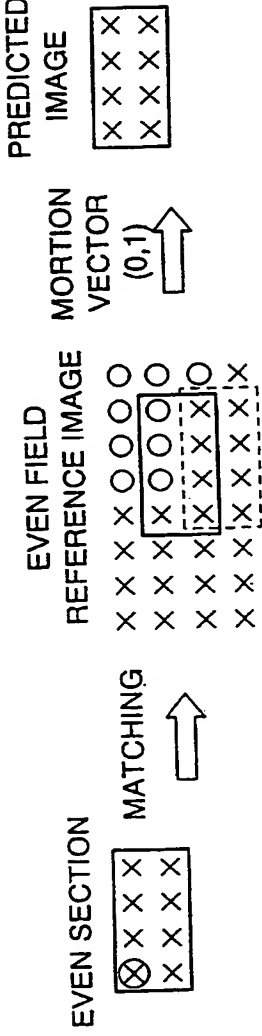


FIG. 21

FIG. 22

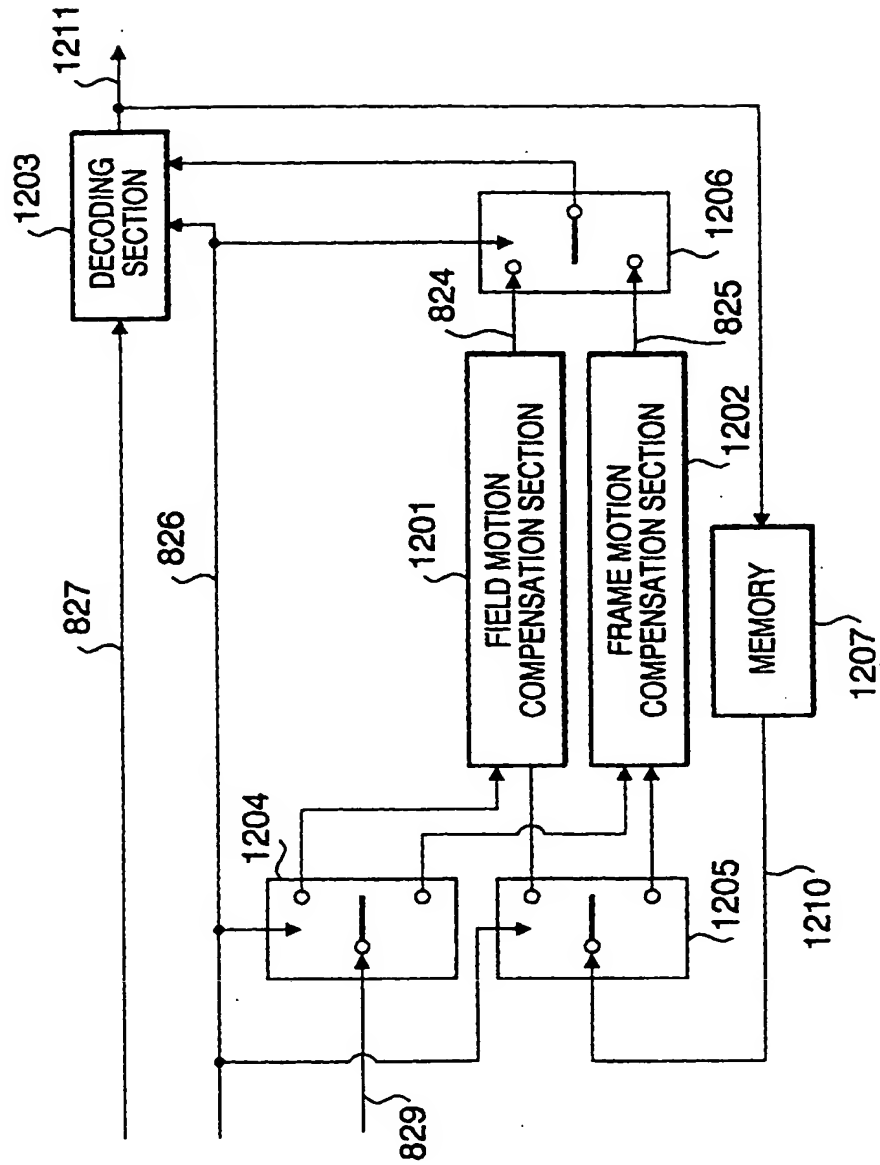


FIG. 23

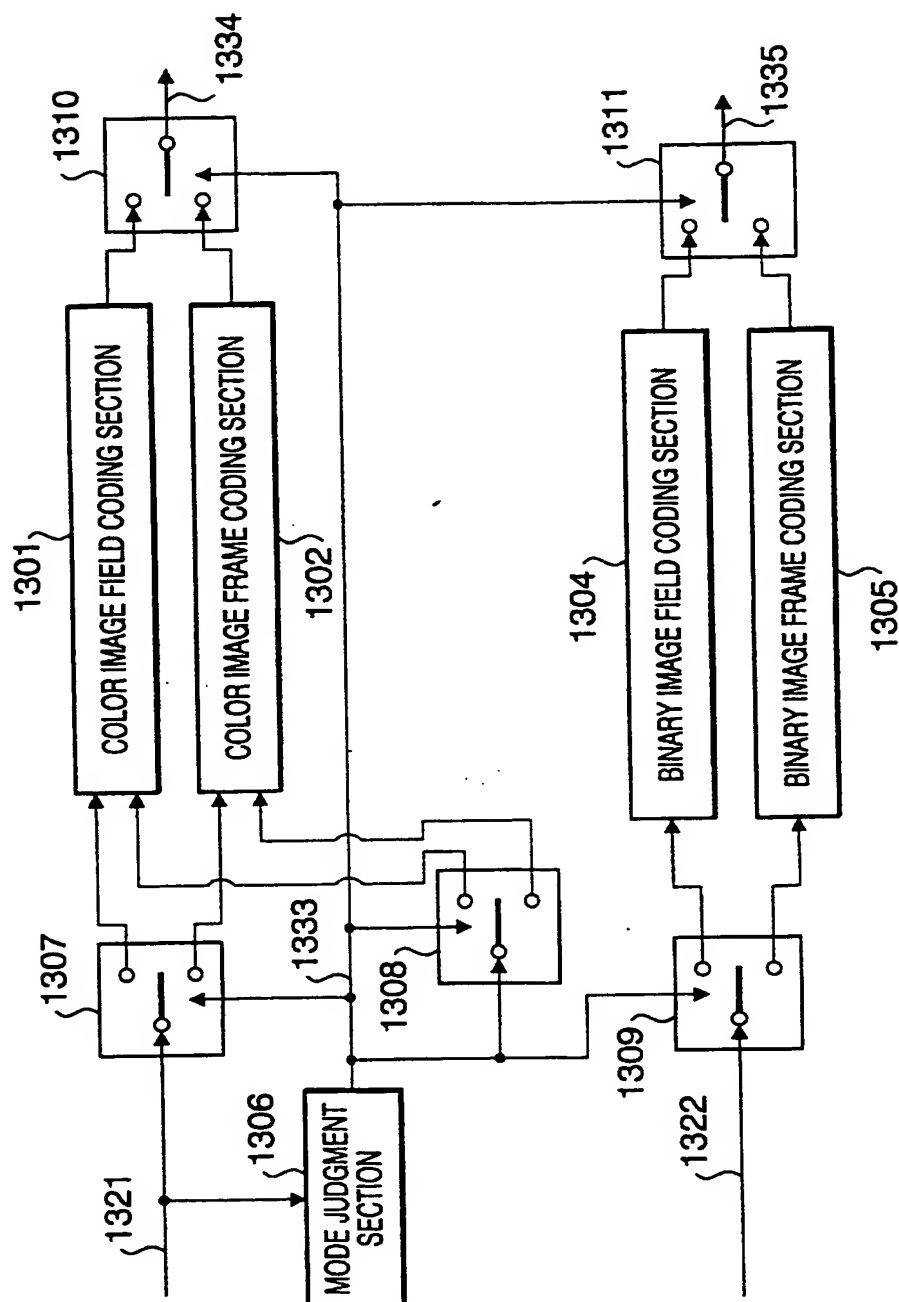


FIG. 24

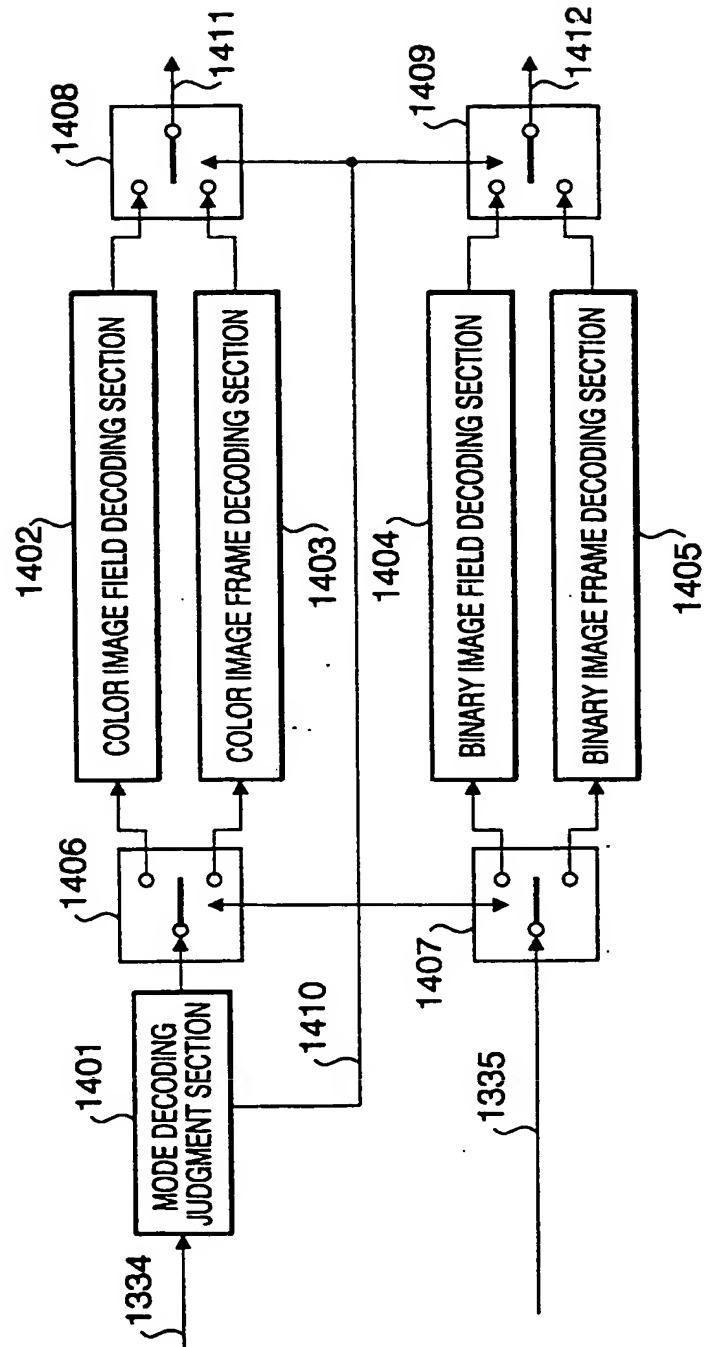


FIG. 25

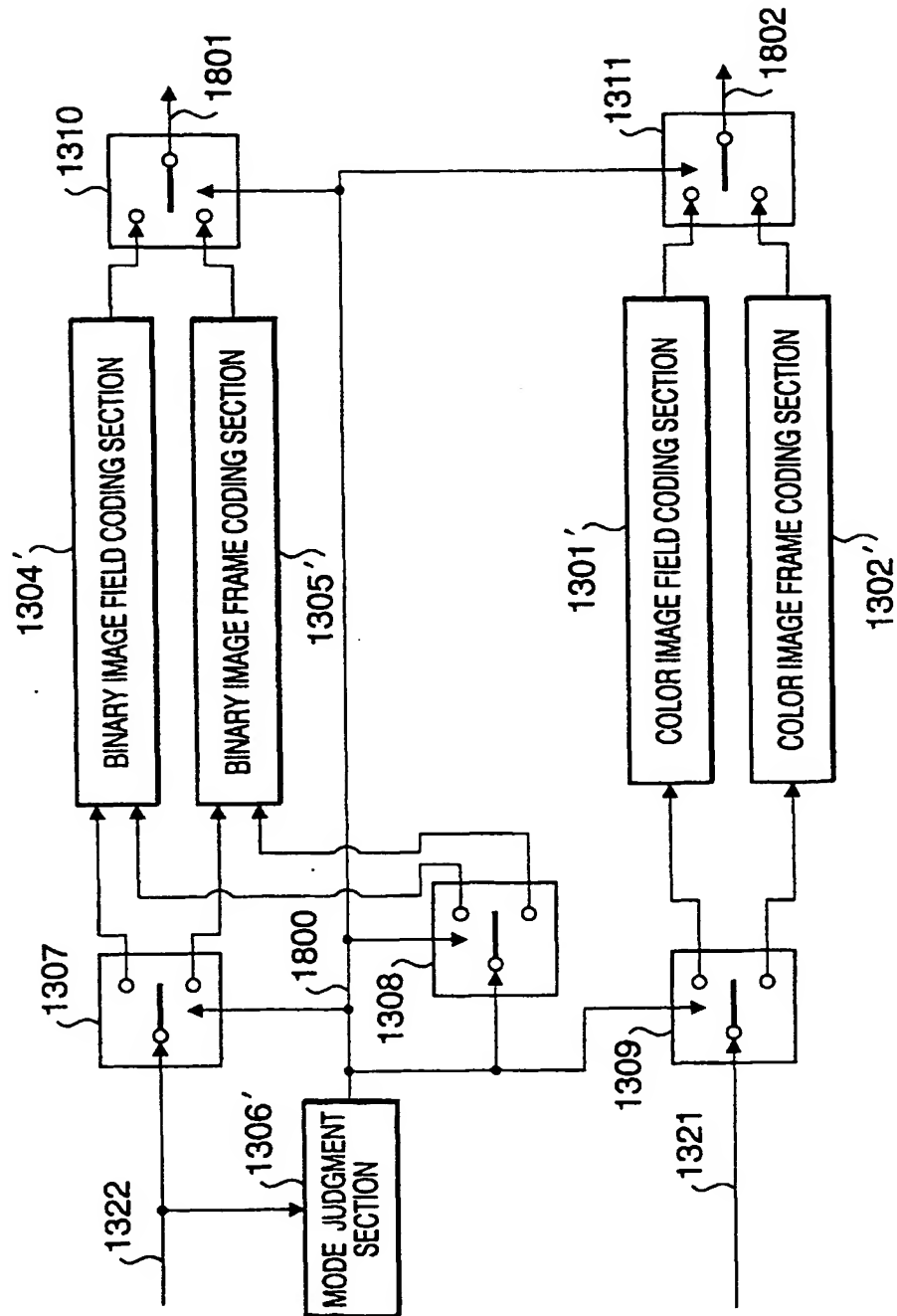


FIG. 26

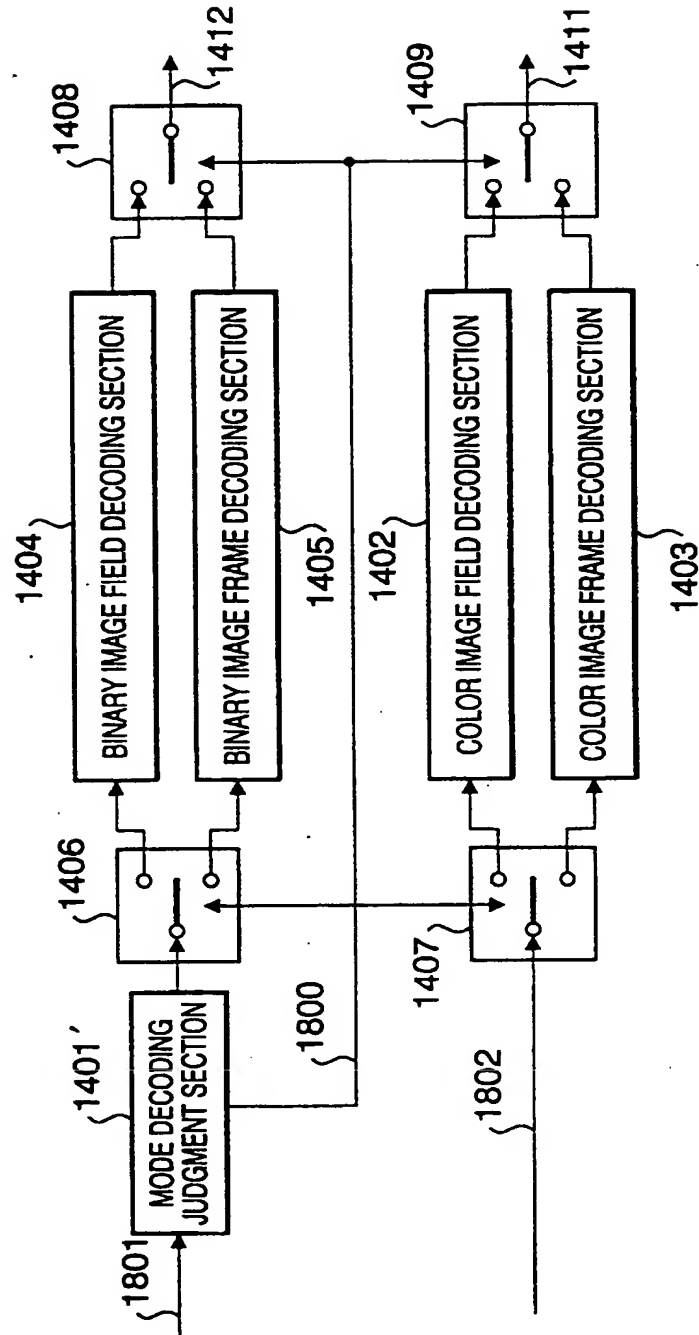


FIG. 27

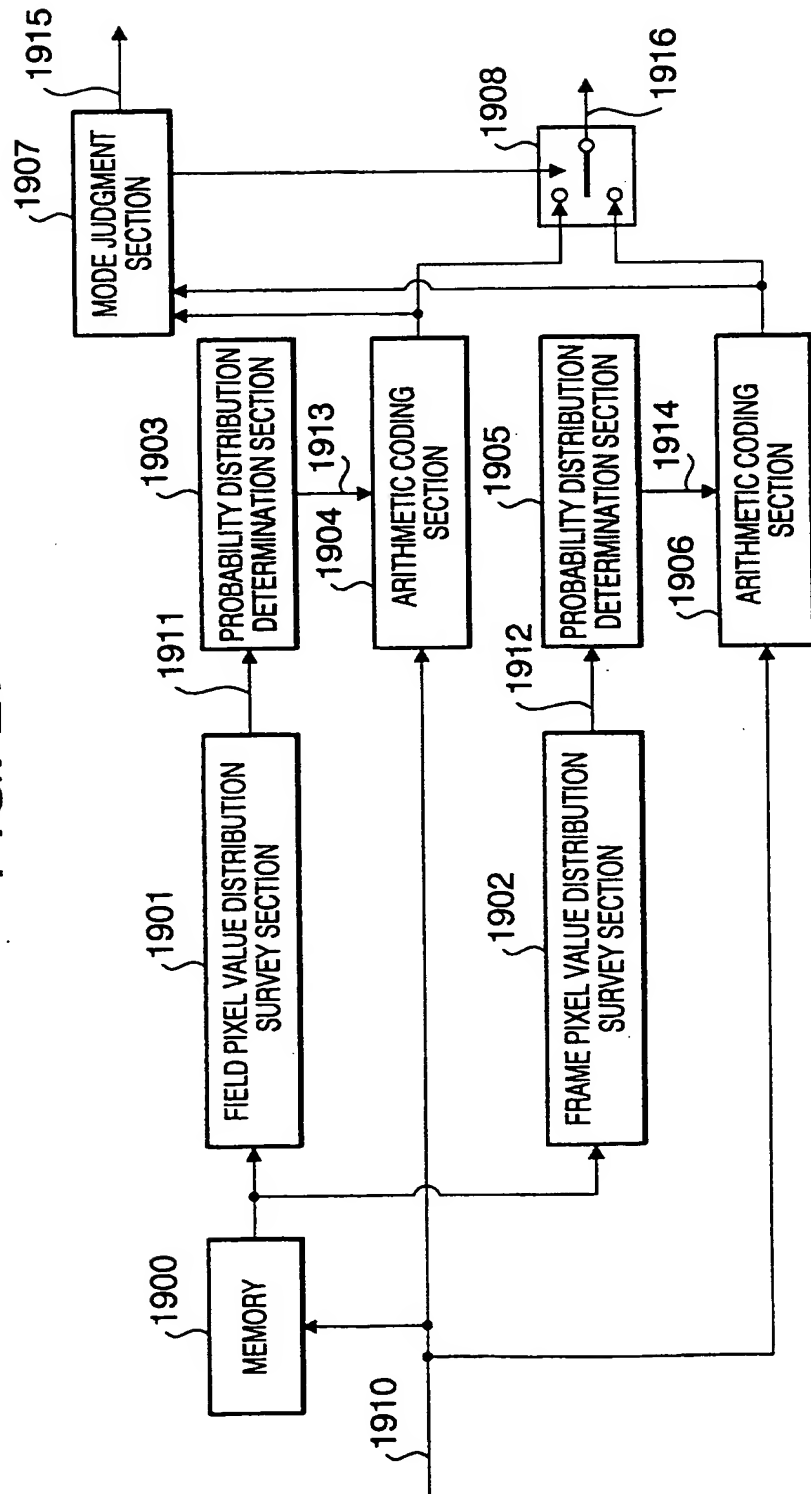


FIG. 28

B	C	D	A	
			BLACK	WHITE
BLACK	BLACK	BLACK	0.95	0.05
BLACK	BLACK	WHITE	0.8	0.2
BLACK	WHITE	BLACK	0.75	0.25
WHITE	BLACK	BLACK	0.7	0.3
BLACK	WHITE	WHITE	0.4	0.6
WHITE	BLACK	WHITE	0.15	0.85
WHITE	WHITE	BLACK	0.2	0.8
WHITE	WHITE	BLACK	0.05	0.95

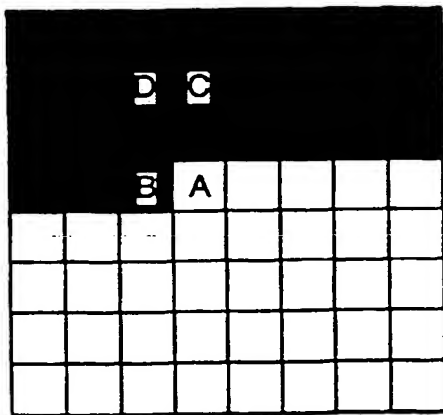


FIG. 29A

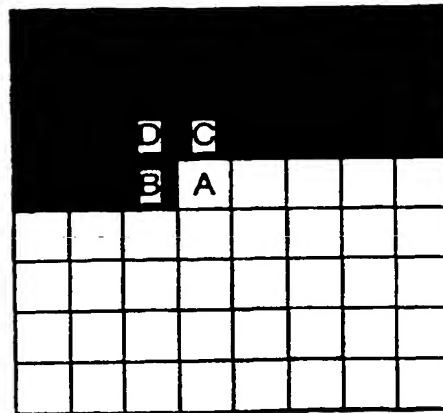


FIG. 29B

FIG. 30

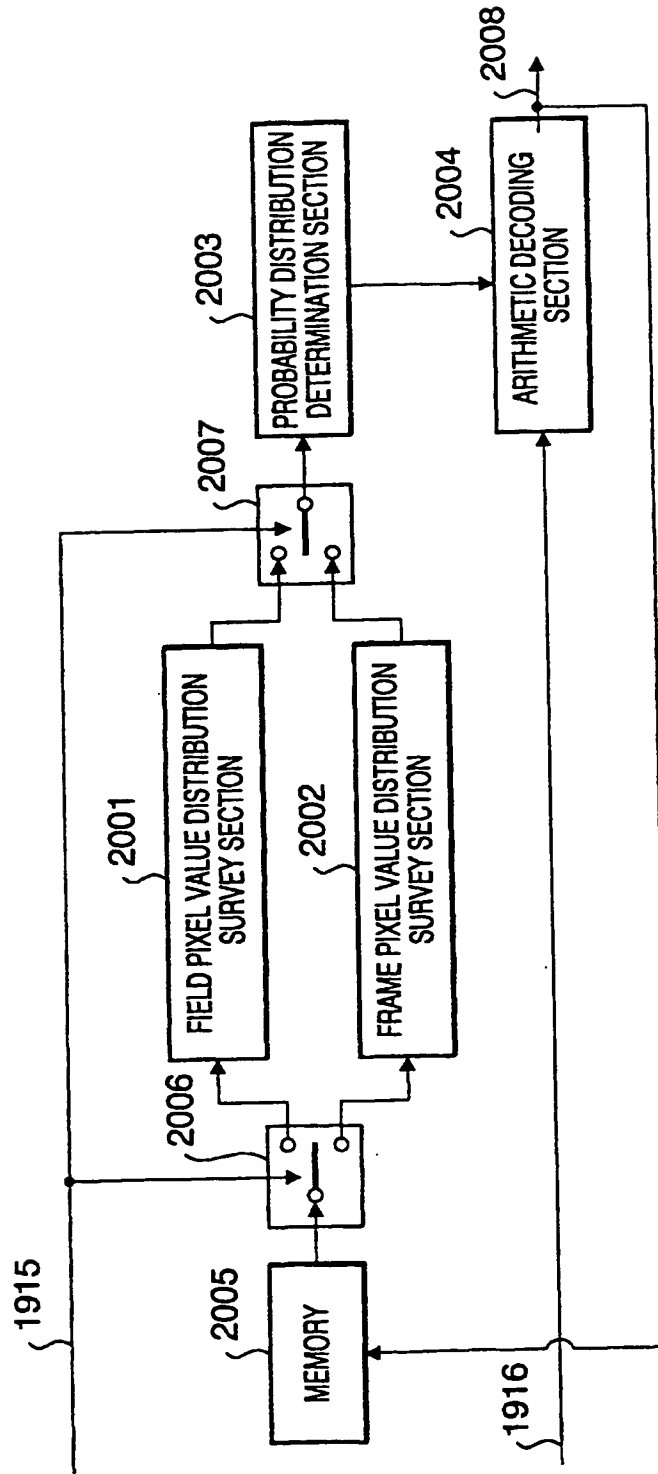


FIG. 31

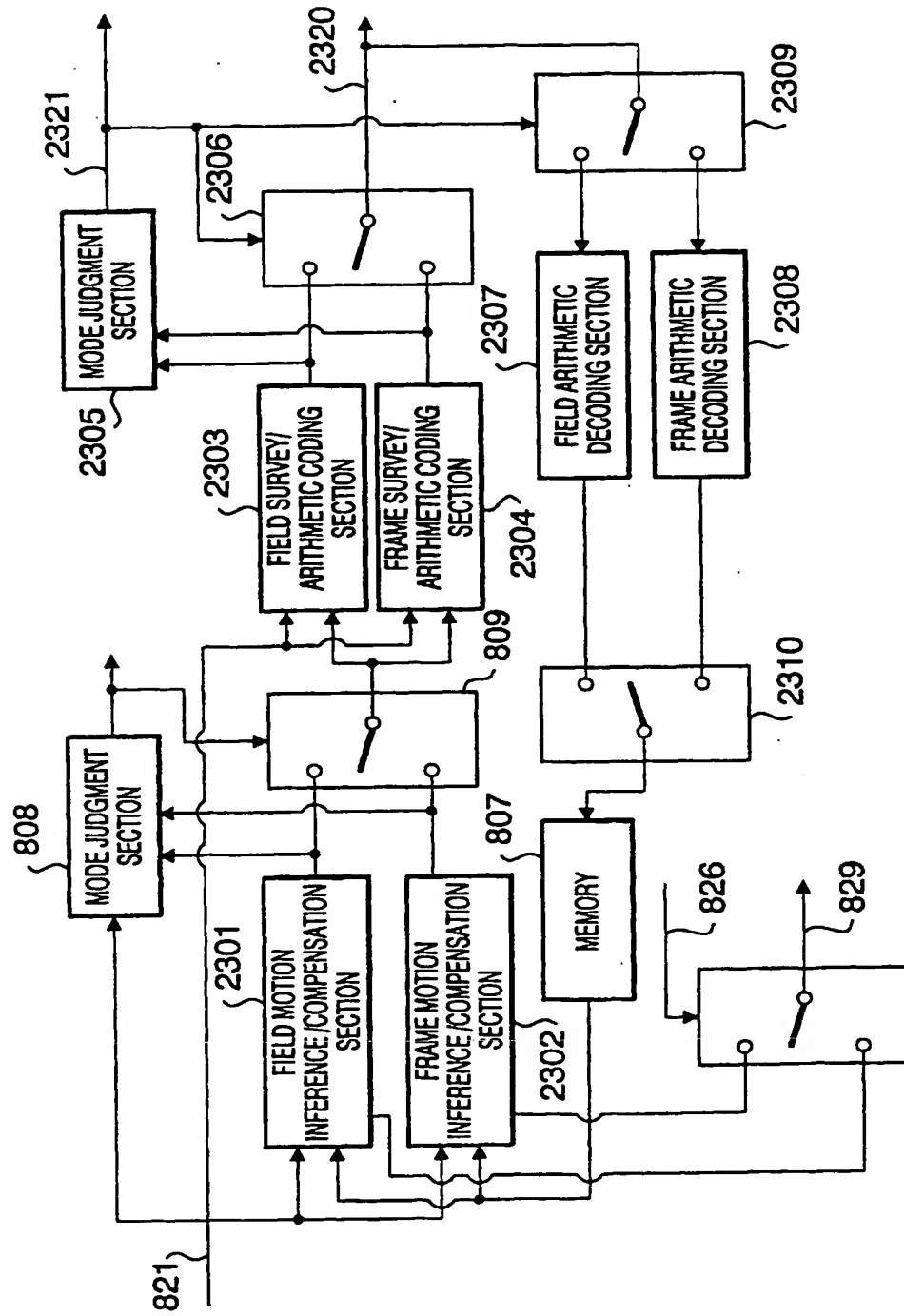
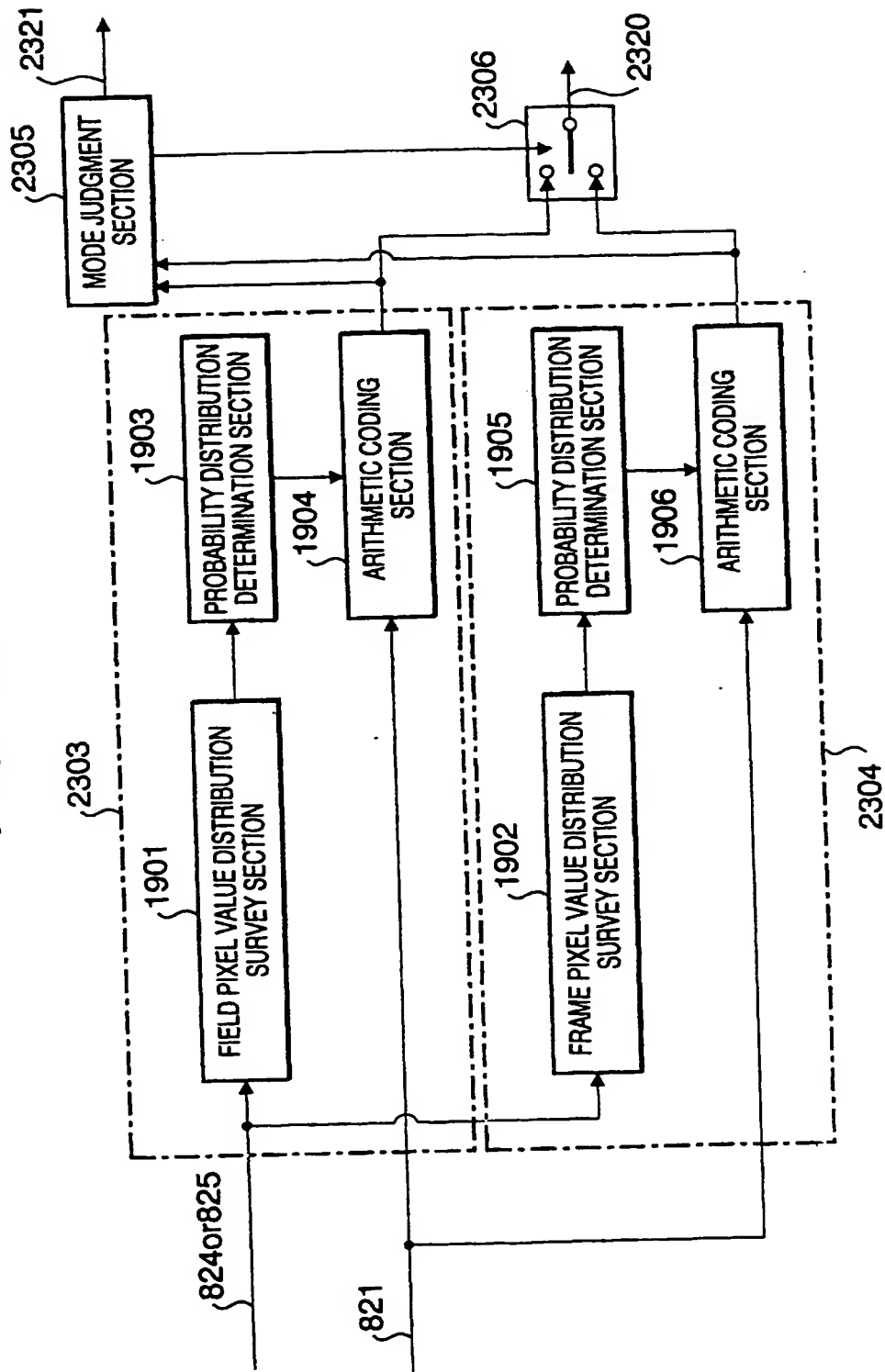
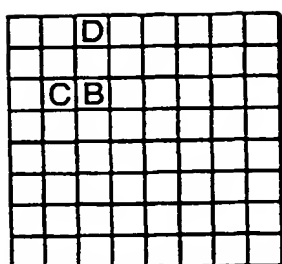


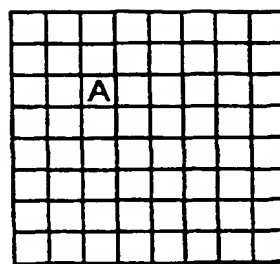
FIG. 32





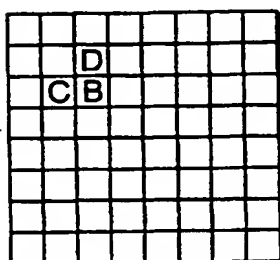
MOTION COMPENSATION
PREDICTION SECTION

FIG. 33A



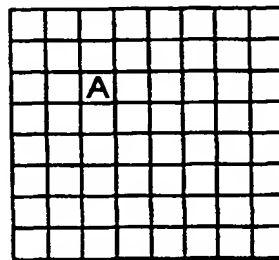
CODING TARGET
SECTION

FIG. 33B



MOTION COMPENSATION
PREDICTION SECTION

FIG. 34A



CODING TARGET
SECTION

FIG. 34B

B	C	D	A	
			BLACK	WHITE
BLACK	BLACK	BLACK	0.95	0.05
BLACK	BLACK	WHITE	0.8	0.2
BLACK	WHITE	BLACK	0.75	0.25
WHITE	BLACK	BLACK	0.5	0.5
BLACK	WHITE	WHITE	0.5	0.5
WHITE	BLACK	WHITE	0.15	0.85
WHITE	WHITE	BLACK	0.2	0.8
WHITE	WHITE	WHITE	0.05	0.95

FIG. 35

FIG. 36

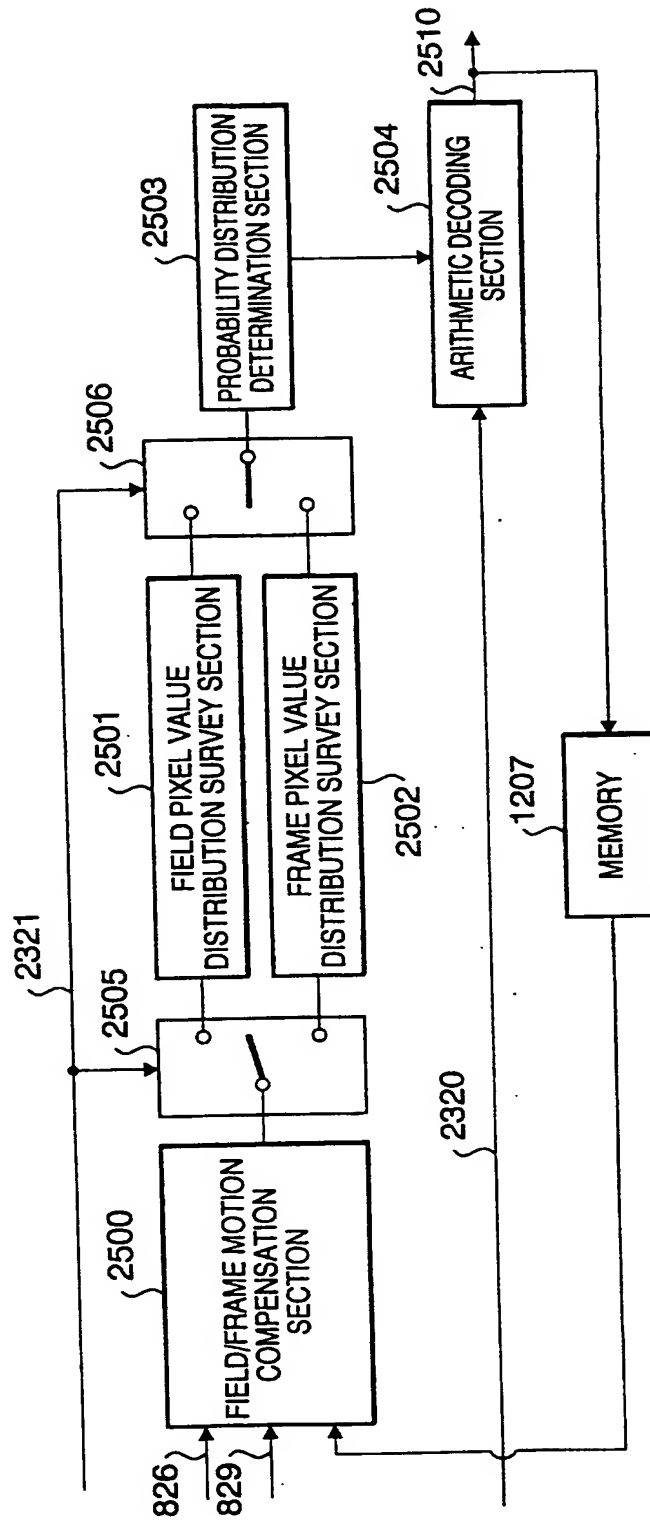
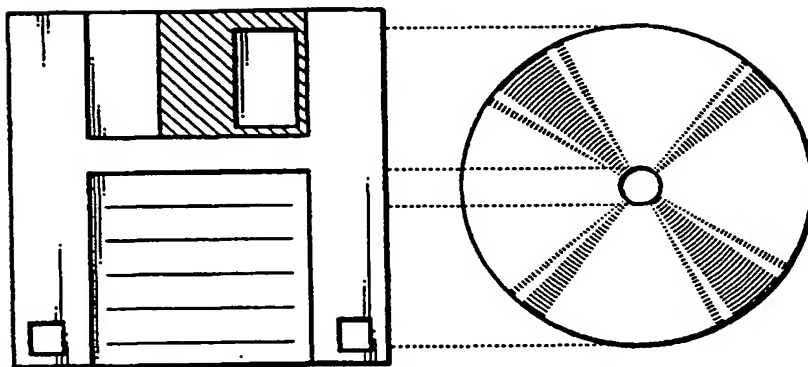


FIG. 37



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP97/04557

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁶ H04N7/32 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁶ H04N7/24-H04N7/68 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1957-1998 Kokai Jitsuyo Shinan Koho 1975-1998 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-284415, A (Toshiba Corp.), October 7, 1994 (07. 10. 94), Column 8, lines 12 to 49 (Family: none)	10-11, 13, 27
A	Kotaro Asai, "MPEG-4 Video Verification Model (in Japanese)" Preprints of 1996 Winter Meeting of Image Media Section, The Institute of Television Engineers of Japan, December 4, 1996 (04. 12. 96) (Tokyo) p.33-38 Particularly refer to page 35	1-27
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search March 11, 1998 (11. 03. 98)		Date of mailing of the international search report March 24, 1998 (24. 03. 98)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願

503P0502W000



(51) 国際特許分類6
H04N 7/32

A1

(11) 国際公開番号

WO98/2660

(43) 国際公開日

1998年6月18日(18.06.98)

(21) 国際出願番号

PCT/JP97/04557

(22) 国際出願日

1997年12月11日(11.12.97)

(30) 優先権データ
特願平8/331762

1996年12月12日(12.12.96)

JP

(71) 出願人 (米国を除くすべての指定国について)
松下電器産業株式会社

(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP)
〒571 大阪府門真市大字門真1006番地 Osaka, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)
松本泰輔(MATSUMOTO, Taisuke)(JP/JP)

〒215 神奈川県川崎市麻生区片平4-22-11-211 Kanagawa, (JP)

(74) 代理人

弁理士 鷺田公一(WASHIDA, Kimihito)

〒206 東京都多摩市鶴牧1丁目24番地1
新都市センタービル5階 Tokyo, (JP)

(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, IL, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO特許 (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).

添付公開書類

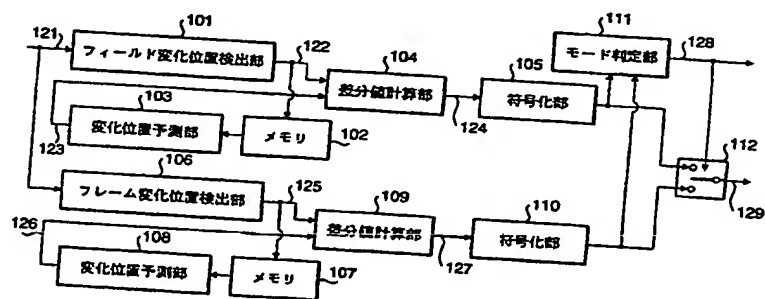
国際調査報告書

(54) Title: PICTURE ENCODER AND PICTURE DECODER

(54) 発明の名称 画像符号化装置及び画像復号化装置

(57) Abstract

A picture encoder which receives, as an input, a binary digital picture having an interlace structure wherein one frame is constituted of two fields, divides the picture into two-dimensional blocks, each of which is constituted of a plurality of pixels, and then encodes the picture block by block. A picture decoder which receives a picture coded signal coded by the picture encoder and decodes, block by block, the binary digital picture having an interlace structure wherein one frame is constituted of two fields. In the picture coder, a coding mode is selected for each block from two modes, one at which a picture is coded field by field and the other at which a picture is coded frame by frame, and according to the selected mode, the picture is coded either field by field or frame by frame, for one block after another. In the picture decoder, the picture is decoded either field by field or frame by frame for one block after another based on the mode information.



101 ... field changed position detecting section
102, 107 ... memory
103 ... changed position estimating section
104, 109 ... differential value calculating section
105, 110 ... coding section
106 ... frame changed position detecting section
108 ... changed position estimating section
111 ... mode selecting section

(57) 要約

1 フレームが2つのフィールドによって構成されたインタレース構造を持つ二値デジタル画像を入力として、前記画像を複数画素から構成される2次元ブロックに分割しブロック毎に符号化を行なう画像符号化装置において、符号化処理をフィールド単位で行なう方法とフレーム単位で行なう方法をブロック毎に判定し、モード判定結果に従ってブロック毎にフィールド単位またはフレーム単位で符号化を行なう。また、上記画像符号化装置によって符号化した画像符号化信号から1フレームが2つのフィールドによって構成されたインタレース構造を持つ二値デジタル画像をブロック毎に復号化する画像復号化装置において、モード情報に従ってブロック毎にフィールド単位またはフレーム単位で復号化処理を行なう。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FR	フランス	LT	リトアニア	SN	セネガル
AM	アルメニア	GB	イギリス	LV	ラトヴィア	SD	スーダン
AT	オーストリア	DE	ドイツ	LC	セントルシア	SG	シンガポール
AZ	アゼルバイジャン	EE	エストニア	MC	モナコ	TG	トーゴ
BA	ボスニア・ヘルツェゴビナ	ES	スペイン	MD	モルドバ	JM	ジャマイカ
BB	バハマ	FI	フィンランド	MG	マダガスカル	TM	トルクメニスタン
BE	ベルギー	IT	イタリア	MK	マケドニア共和国	TR	トルコ
BF	ブルキナファソ	JP	日本	ML	マリ	TT	トリニダード・トバゴ
BG	ブルガリア	KE	ケニア	MN	モンゴル	TU	トルクメニスタン
BJ	ベナン	KG	キルギス	MR	モーリタニア	UA	ウクライナ
BR	ブラジル	KN	カーネーション	MX	メキシコ	UG	ウガンダ
CA	カナダ	LA	ラオス	NL	オランダ	US	米国
CC	ココス (ケリング) 島	MO	モザンビーク	NZ	ニュージーランド	VN	ベトナム
CH	スイス	NP	ネパール	NO	ノルウェー	YU	ユーゴスラビア
CI	コートジボワール	OM	オマーン	PL	ポーランド	ZW	ジンバブエ
CK	クック	PE	ペルー	PT	ポルトガル		
DE	ドイツ	PK	パキスタン	RO	ルーマニア		
DK	デンマーク	PR	プエルトリコ	RU	ロシア		
EE	エストニア	RR	リベリア	SE	スウェーデン		
		RS	セルビア	SI	スロベニア		
		SC	セーシェル	SK	スロバキア		
		SL	シエラレオネ	SS	南スーダン		
				ST	セント・ヘレナ		
				SV	エルサルバドル		
				TD	チュニジア		
				TH	タイ		
				TL	東ティモール		
				TM	トルクメニスタン		
				TN	チュニジア		
				TO	トンガ		
				TR	トルコ		
				TT	トリニダード・トバゴ		
				TV	ツバル		
				UG	ウガンダ		
				US	米国		
				UY	ウルグアイ		
				UZ	ウズベキスタン		
				VA	バチカン		
				VC	セント・ビンセント		
				VE	ベネズエラ		
				VG	ヴァージン諸島		
				VI	ヴァージン諸島		
				VN	ベトナム		
				VU	バヌアツ		
				WF	ワリス・フツナ		
				WS	サモア		
				YE	イエメン		
				YT	マダガスカル		
				ZA	南アフリカ		
				ZM	ザンビア		
				ZW	ジンバブエ		

明 細 書

画像符号化装置及び画像復号化装置

技術分野

本発明は、ディジタル画像を符号化／復号化する画像符号化装置／画像復号化装置およびそれをソフトウェアによって実現するためのコンピュータプログラムが記録された記録媒体に関するものである。

背景技術

現在インターレース構造を持つディジタル画像を符号化／復号化する方法の標準勧告としてITU-T H. 262があり、NTSCなどのテレビジョン信号を効率よく符号化／復号化することができる。

また、ディジタル画像を符号化／復号化する際に、画素の輝度信号および色差信号値だけでなく、物体の形状を表す形状情報信号も含めて符号化／復号化を行なう方法がISO/IEC MPEG4の評価モデルとして採用されている(ISO/IEC JTC/SC29/WG11 N1469 November 1996)。

この方法では、形状情報によって示された有意な画素についてのみ輝度信号および色差信号の符号化／復号化を行なうことによって符号量の効果的な削減を行なえるだけでなく、形状情報に従って画像の合成などが容易に行なえるという特徴がある。

しかしながら、上記に示したMPEG4の評価モデルでは1フレームが2つのフィールドによって構成されているインターレース構造を持つ画像については考慮されていない。そのためインターレース構造をもつ入力画像に対しては効率の良い符号化／復号化を行うことができない。

また、H. 262では輝度信号および色差信号についてはインターレース構造を考慮した動き補償方法や離散コサイン変換について考慮されているが、有意形状を示す二値画像の符号化方法としてはダウンサンプリング、アップサンプリング、画素値の変化位置の予測などといったH. 262では考慮されていない特別な方法が使用されているため、H. 262で採用されているインターレース構造に対応した符号化／復号化手段を単純に採用することはできない。

発明の開示

本発明は以上のような実情に鑑みてなされたものであり、入力画像を符号化／復号化する際に、形状情報画像についてもブロック毎にフィールド単位で符号化／復号化するかフレーム単位で符号化／復号化するかを適応的に選択することによって符号化効率の改善を行なう画像符号化装置及び画像復号化方法を提供することを目的とする。

この課題を解決するために本発明は、1フレームが2つのフィールドによって構成されたインタレース構造を持つ二値デジタル画像を入力として、前記画像を複数画素から構成される2次元ブロックに分割しブロック毎に符号化を行なう画像符号化装置において、符号化処理をフィールド単位で行なう方法とフレーム単位で行なう方法をブロック毎に判定し、モード判定結果に従ってブロック毎にフィールド単位またはフレーム単位で符号化を行なう。

また、上記画像符号化装置によって符号化した画像符号化信号から1フレームが2つのフィールドによって構成されたインタレース構造を持つ二値デジタル画像を複数画素から構成された2次元ブロック毎に復号化する画像復号化装置において、モード情報に従ってブロック毎にフィールド単位またはフレーム単位で復号化処理を行なう。

これにより、ブロック毎にフィールド単位で符号化／復号化するかフレーム

単位で符号化／復号化するかを適応的に選択することによって高効率の画像符号化装置／画像復号化装置を実現できる。

また本発明の画像符号化装置は、二値ディジタル画像を複数画素から構成されたブロックに分割しブロック毎に符号化を行なう画像符号化装置であって、フィールド単位符号化処理とフレーム単位符号化処理のいずれか符号化効率の良い方をブロック毎に判定する。

また本発明の画像復号化装置は、画像符号化信号から二値ディジタル画像に復号化する画像復号化装置であって、フィールド単位復号化処理とフレーム単位復号化処理をモード情報によってブロック毎に切替える。

また本発明は、二値ディジタル画像を符号化する際に、フィールド単位ダウンサンプリング処理とフレーム単位ダウンサンプリング処理のいずれか効率の良い方をブロック毎に判定する。

また本発明の画像復号化装置は、二値ディジタル画像を復号する際に、フィールド単位ダウンサンプリング処理とフレーム単位ダウンサンプリング処理をモード情報によってブロック毎に切替える。

また本発明の画像符号化装置は、二値ディジタル画像を符号化する際に、フィールド単位動き補償とフレーム単位動き補償のいずれか効率の良い方をブロック毎に判定する。

また本発明の画像復号化装置は、二値ディジタル画像を復号する際に、フィールド単位動き補償とフレーム単位動き補償をモード情報によってブロック毎に切替える。

また本発明の画像符号化装置は、二値ディジタル画像を符号化する際に、着目画素と画素値が変化する画素との位置関係を符号化する画像符号化装置において、画素値の変化点の検出をフィールド単位とフレーム単位のいずれか効率の良い方をブロック毎に判定して行なう。

また本発明の画像復号化装置は、着目している画素と画素値が変化する画素との位置関係から二値デジタル画像を復号する画像復号化装置であって、画素値が変化する画素の位置の計算をフィールド単位で行なうかフレーム単位で行なうかをモード情報によってブロック毎に切替える。

また本発明の画像符号化装置は、二値デジタル画像を符号化する際に、着目画素の画素値の確率分布を周辺の画素の画素値の分布状態から決定し、その確率分布に従って着目画素の画素値を符号化する画像符号化装置であって、確率分布を決定するための周辺画素値の分布状態の調査をフィールド単位とフレーム単位のいずれか効率の良い方をブロック毎に判定する。

また本発明の画像復号化装置は、着目画素の画素値の確率分布を周辺の画素の画素値の分布状態から決定し、その確率分布に従って画素値を復号化する画像復号化装置であって、確率分布を決定するための周辺画素値の分布状態の調査をフィールド単位で行うかフレーム単位で行うかをモード情報によってブロック毎に切り替える。

また本発明の画像符号化装置は、着目画素の画素値の確率分布を動き補償予測画像の画素値の分布状態から決定し、その確率分布に従って着目画素の画素値を符号化する画像符号化装置において、確率分布を決定するための動き補償予測画像の画素値の分布状態の調査をフィールド単位とフレーム単位のいずれか効率の良い方をブロック毎に判定する。

また本発明の画像復号化装置は、着目画素の画素値の確率分布を動き補償予測画像の画素値の分布状態から決定し、その確率分布に従って画素値を復号化する画像復号化装置において、確率分布を決定するための動き補償予測画像の画素値の分布状態の調査をフィールド単位で行うかフレーム単位で行うかをモード情報に従ってブロック毎に切り替える。

また本発明の画像符号化装置は、二値デジタル画像および多値デジタル

画像をブロック毎に符号化する際に、二値デジタル画像の符号化処理をフィールド単位とフレーム単位のいずれかで行なうかの選択を、当該ブロックの多値デジタル画像のモード情報に従属して行なう。これにより、二値デジタル画像のモード情報について特別な符号を用いる必要がなく符号化効率の向上が達成できるという作用を有する。

また本発明の画像符号化装置は、画像符号化信号から二値デジタル画像および多値デジタル画像をブロック毎に復号化する際に、二値デジタル画像の符号化処理をフィールド単位とフレーム単位のいずれかで行なうかの判定を、当該ブロックの多値デジタル画像のモード情報に従属して行う。これにより、二値デジタル画像のモード情報について特別な符号を用いることなく正しく復号化できるという作用を有する。

また本発明の画像符号化装置は、二値デジタル画像および多値デジタル画像をブロック毎に符号化する際に、フィールド単位符号化処理とフレーム単位符号化処理のいずれかを二値デジタル画像の符号化処理として判定し、判定されたモード情報を当該ブロックの多値デジタル画像のモード情報の判定に反映させる。これにより、多値デジタル画像のモード情報について特別な符号を用いる必要がなく符号化効率の向上が達成できるという作用を有する。

また本発明の画像復号化装置は、画像符号化信号から二値デジタル画像および多値デジタル画像をブロック毎に復号化する際に、二値デジタル画像のモード情報を、当該ブロックの多値デジタル画像のモード情報の選択に反映させる。これにより、多値デジタル画像のモード情報について特別な符号を用いることなく正しく復号化できるという作用を有する。

また本発明の記録媒体は、上記各発明の少なくとも1つを実現させるプログラムが記録されているコンピュータの記録媒体に記録して移送することにより、独立したコンピュータシステムで容易に実現できるという作用を有する。

図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態における画像符号化装置の機能ブロック図、

図 2 は、画素値の変化位置及び変化予測位置を示す図、

図 3 は、画素値の変化位置、変化予測位置及び差分値の検出結果を示す図、

図 4 は、本発明の第 2 の実施の形態における画像符号化装置の機能ブロック図、

図 5 は、本発明の第 3 の実施の形態における画像復号化装置の機能ブロック図、

図 6 は、フィールドモード復号化の画素値の変化位置及び変化予測位置を示す図、

図 7 は、フィールドモード復号化ブロックを示す図、

図 8 は、フレームモード復号化の画素値の変化位置及び変化予測位置を示す図、

図 9 は、フレームモード復号化ブロックを示す図、

図 10 は、本発明の第 4 の実施の形態における画像復号化装置の機能ブロック図、

図 11 は、フィールド構造のデジタル画像ブロックを示す図、

図 12 は、フレーム構造のデジタル画像ブロックを示す図、

図 13 は、本発明の第 5 の実施の形態における画像符号化装置の機能ブロック図、

図 14 は、第 5 の実施の形態におけるフレームモードでの符号化過程を示す図、

図 15 は、第 5 の実施の形態におけるフィールドモードでの符号化過程を示

す図、

図 1 6 は、本発明の第 6 の実施の形態における画像復号化装置の機能ブロック図、

図 1 7 は、本発明の第 7 の実施の形態における画像符号化装置の機能ブロック図、

図 1 8 は、本発明の第 8 の実施の形態における画像復号化装置の機能ブロック図、

図 1 9 は、第 8 の実施の形態におけるフレームモードでの予測画生成過程を示す図、

図 2 0 は、第 8 の実施の形態におけるフィールドモードでの奇数フィールドの予測画生成過程を示す図、

図 2 1 は、第 8 の実施の形態におけるフィールドモードでの偶数フィールドの予測画像生成過程を示す図、

図 2 2 は、本発明の第 9 の実施の形態における画像復号化装置の機能ブロック図、

図 2 3 は、本発明の第 1 0 の実施の形態における画像符号化装置の機能ブロック図、

図 2 4 は、本発明の第 1 1 の実施の形態における画像復号化装置の機能ブロック図、

図 2 5 は、本発明の第 1 2 の実施の形態における画像符号化装置の機能ブロック図、

図 2 6 は、本発明の第 1 3 の実施の形態における画像復号化装置の機能ブロック図、

図 2 7 は、本発明の第 1 4 の実施の形態における画像符号化装置の機能ブロック図、

図 28 は、第 14 の実施の形態における確率分布表を示す図、

図 29 A、図 29 B は、8×8 画素のブロックにおける符号化状況を示す図、

図 30 は、本発明の第 15 の実施の形態における画像復号化装置の機能ブロック図、

図 31 は、本発明の第 16 の実施の形態における画像符号化装置の機能ブロック図、

図 32 は、第 16 の実施の形態の一部を抜き出した図、

図 33 A、図 33 B は、フィールドモード符号化／復号化ブロックを示す図、

図 34 A、図 34 B は、フレームモード符号化／復号化ブロックを示す図、

図 35 は、画素値の確率分布表の一例を示す図、

図 36 は、本発明の第 17 の実施の形態における画像符号化装置の機能ブロック図及び

図 37 は、本発明の第 18 の実施の形態におけるコンピュータの記録媒体の一例を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して具体的に説明する。

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態における画像符号化装置のブロック図である。第 1 の実施の形態にかかる画像符号化装置は、フィールド変化位置検出部 101、メモリ 102、変化位置予測部 103、差分値計算部 104 及び符号化部 105 からなるフィールド画像の符号化のための処理ブロックと、フレーム変化位置検出部 106、メモリ 107、変化位置予測部 108、差分値計算部 109 及び符号化部 110 からなるフレーム画像の符号化のための処理ブロックとを備えている。また、この画像符号化装置は、符号化モードを判定す

るモード判定部 111 と、出力信号を判定された符号化モードのものに切替える切替え部 112 とを備える。以下の説明では、フィールド画像の処理ブロックで符号化された符号データを伝送する符号化モードをフィールドモードと呼び、フレーム画像の処理ブロックで符号化された符号データを伝送する符号化モードをフレームモードと呼ぶ。

フィールド変化位置検出部 101 は、画素値が変化する変化点をフィールド単位で検出する画像処理機能であり、フレーム変化位置検出部 106 は、画素値が変化する変化点をフレーム単位で検出する画像処理機能である。

変化位置予測部 103 は、フィールド画像の先行する検出済み（先行する複数ライン）画素変化点から予測対象ラインの変化点を予測する部分であり、もう一方の変化位置予測部 108 は、フレーム画像の先行する検出済み（先行する複数ライン）画素変化点から予測対象ラインの変化点を予測する部分である。

メモリ 102、107 には、変化位置予測のために、先行する検出済み（先行する複数ライン）画素変化点（座標データ）が記憶される。

差分値計算部 104 は、フィールド変化位置検出部 101 で検出した予測対象ラインの実際の変化位置 122 と変化位置予測部 103 で数ライン前の変化点から予測した予測位置 123 との差分を計算する演算機能である。もう一方の差分値計算部 109 は、フレーム変化位置検出部 106 で検出した予測対象ラインの実際の変化位置 125 と変化位置予測部 108 で数ライン前の変化点から予測した予測対象ラインの予測位置 126 との差分を計算する演算機能である。

符号化部 105 は、フィールドモードで得られた差分値 124 を符号化する部分であり、符号化部 110 は、フレームモードで得られた差分値 127 を符号化する部分である。

モード判定部 111 は、2つの符号化部 105、110 から出力される符号

化データを比較して符号化効率の良い方の符号化モードを選択して切替え部 112 と不図示の伝送部へ指示する機能を有する。

切替え部 112 は、モード判定部 111 から指示された符号化モード側の入力信号を上記伝送部へ出力するように接続先の符号化部 105、110 を切替える。

以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割部によって複数の画素から構成された 2 次元ブロックに分割された二値デジタル画像 121 がフィールド変化位置検出部 101 及びフレーム変化位置検出部 106 へ夫々供給される。

図 2 に、 8×8 画素から構成された符号化対象ブロックの例を示す。同図中の上参照画素はすでに符号化対象ブロック上隣ブロックの最下行に属する符号化済みの画素、左参照画素はすでに符号化対象ブロック左隣ブロックの最右列に属する符号化済みの画素である。この符号化対象ブロックの画素 $I(x, y)$ において y が奇数の画素は第 1 フィールドに属し、 y が偶数の画素は第 2 フィールドに属する。

いま、図 2 に示す 8×8 の画素ブロックが符号化対象ブロック 121 としてフィールド変化位置検出部 101 およびフレーム変化位置検出部 106 に入力されたものとする。

フィールド変化位置検出部 101 では、奇数フィールドと偶数フィールドについて各ラインでの画素値変化点を検出する。フィールド変化位置検出部 101 は入力された信号についてすでに符号化済みの着目画素 A から水平方向に画素をスキャンし、左隣の画素と異なる画素値に変化する画素の位置を同じフィールド内で検出し、フィールド変化位置 122 として出力する。図 2 の例では画素 B がフィールド変化位置となる。

符号化対象ブロックの奇数フィールドでの各ラインの画素値変化点は変化位

置データとしてメモリ 102 に保存される。

変化位置予測部 103 では、注目画素の属するラインから複数ライン前までの各ラインの変化位置から注目画素の変化位置を予測し、予測変化位置として出力する。例えば、奇数フィールドの 4 番目のライン（フレーム画像の 7 番目のラインに相当）の変化点が注目画素であれば、2 番目、3 番目のライン（フレーム画像の 3 番目、5 番目のラインに相当）の変化位置が共に 7 番目であるので、注目画素も 7 番目であると予測する。この予測位置 123 を差分値計算部 104 へ出力する。

差分値計算部 104 には、奇数フィールドの 4 番目のラインでの実際の画素値変化点のデータ 122 がフィールド変化位置検出部 101 から与えられるので、フィールド変化位置検出部 101 から与えられる奇数フィールドの 4 番目のラインでの実際の変化位置と変化位置予測部 103 から与えられる奇数フィールドの 4 番目のラインでの予測位置との差分を計算する。例えば、図 2 に示す例であれば、実際の変化位置が 7 で予測位置が 7 であるので、差分値 = 0 が計算結果として符号化部 105 へ送出される。

符号化部 105 では、奇数フィールドの 4 番目のラインの変化位置データとして差分値 = 0 を、予め定められたハフマン符号テーブルを用いて符号化することになる。

偶数フィールドについても、上記した奇数フィールドと同様に偶数フィールドの各ラインについて実際の画素値変化位置と予測位置との差分値を計算し、符号化部 105 で差分値を符号化する。

フレーム変化位置検出部 101 は、フレーム画像を形成する各ラインについて水平方向に画素をスキャンし、左隣の画素と異なる画素値に変化する画素の位置を検出する。図 2 の例では、着目画素 A から左隣の画素と異なる画素値に変化する画素の位置をフレーム内で検出し、フレーム変化位置 125 として出

力する。図2の画素ブロックでは画素Cがフレーム変化位置となる。検出した変化位置はメモリ107に格納される。

変化位置予測部108では、注目画素の属するラインから複数ライン前までの各ラインの変化位置から注目画素の変化位置を予測し、予測変化位置として出力する。例えば、フレーム画像の5番目のラインの変化点が注目画素であれば、3番目、4番目のラインの変化位置が7、6と1画素単位で減少しているので、5番目のラインの注目画素は4番目のラインの変化位置＝6から更に1画素減少した5画素目であると予測する。この予測位置126を差分値計算部109へ出力する。

差分値計算部109では、検出された変化位置と予測された変化位置の差分値を求める。例えば、図2のフレーム画像の6番目のラインの変化点が注目画素の場合であれば、フレーム変化検出位置Cとフレーム変化予測位置Fの差分値－3がフレーム差分値127として出力される。

符号化部110では、フレーム画像について計算された差分値を予め定められたハフマン符号テーブルを用いて符号化する。

図3に、図2の画素ブロックについて実行したフィールドモードでの変化位置122、予測位置123及び差分値124と、フレームモードでの変化位置125、予測位置126及び差分値127の検出結果を示している。

フィールドモードでは奇数フィールド及び偶数フィールドの各差分値である(0、+6、0、0、)(0、+6、－1、+2)が符号化される。また、フレームモードでは各ラインの差分値である(0、0、+6、－1、+2、－3、+4、－3)が符号化される。

モード判定部111では、フィールド単位で求められた符号化画像信号とフレーム単位で求められた符号化画像信号を比較し、符号化効率の良いモードを判定し、符号化効率の良い側のモードをモード情報128として出力する。

切替え部 112 では、モード情報 128 に従ってフィールド単位符号化画像信号またはフレーム単位符号化画像信号のいずれかを選択し符号化画像信号 129 として出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像に対してその画像を画素値が変化する位置に基づいて符号化する際に、フィールド単位で画素値の変化位置を検出し符号化する手法とフレーム単位で画素値の変化位置を検出し符号化する手法のいずれか効率の良い方をモード判定部 111 によってブロック毎に判定し切替えることによって符号化効率の向上を達成することができる。

(第 2 の実施の形態)

図 4 に、第 2 の実施の形態にかかる画像符号化装置の機能ブロックを示している。上記第 1 の実施の形態では、フィールドモードの処理ブロックとフレームモードの処理ブロックとが個々のブロックに対して必ず動作しているが、本実施の形態は相関器 141 で事前に符号化モードを判定し、一方の処理ブロックだけを動作させる。

相関器 141 は、インタレース構造を持つ二値デジタル画像がブロック単位で与えられる。フィールド画像の相関値を検出するためにインタレース画像のラインデータを 1 ライン間隔で抽出してライン間の相関値を求め、フィールド画像の相関値として保存する。また、フレーム画像の相関値を検出するためにフレーム画像を形成する各ラインデータについてライン間の相関値を求めてフレーム画像の相関値として保存する。相関値の高い方のモードを選択してモード情報 128 として出力する。

第 1 切替え部 142 は、モード情報 128 がフィールドモードを示していれば二値デジタル画像をフィールドモードの処理ブロック 143 へ切替える。また、モード情報 128 がフレームモードを示していれば二値デジタル画像

をフレームモードの処理ブロック 144 へ切替える。フィールドモードの処理ブロック 143 とは、図 1 に示すフィールド変化位置検出部 101 から符号化部 105 までの一連の処理を実行する処理ブロックのことであり、フレームモードの処理ブロック 144 とは図 1 に示すフレーム変化位置検出部 108 から符号化部 110 までの一連の処理を実行する処理ブロックのことである。

第 2 切替え部 145 は、モード情報 128 に基づいて接続対象となる処理ブロック 143、144 を切替えることにより、選択モードに対応する処理ブロックの符号化データ 129 を出力する。

このような実施の形態によれば、符号化効率の向上を達成することができる上、事前に符号化モードを選択して一方の処理ブロックのみを動作させるので、処理効率の向上を図ることもできる。

(第 3 の実施の形態)

図 5 は、本発明の第 3 の実施の形態における画像復号化装置のブロック図である。同図において、図 1 に示す第 1 の実施の形態と同一の信号については同じ番号を付し説明を省略する。

この画像復号化装置は、上記第 1 の実施の形態の画像符号化装置から出力された、検出した変化位置と予測した変化位置との差分値を符号化した符号化画像信号 129 が、復号化部 151 に与えられる。また画像復号化装置は、符号化画像信号 129 から復号化された差分値と、既に復号化された前複数ラインの変化位置から予測された該当ラインの予測位置とを加算する差分値加算部 152 を備える。さらに画像復号化装置は、差分値加算部 152 の出力が第 1 切替え部 153 を介して選択的に供給されるフィールド二値画像復号化部 154 とフレーム二値画像復号化部 155 とを備える。フィールド二値画像復号化部 154 は、差分値加算部 152 の出力からフィールド画像を復元する部分であり、フレーム二値画像復号化部 155 は差分値加算部 152 の出力からフレ-

ム画像を復元する部分である。フィールド二値画像復号化部 1 5 4 及びフレーム二値画像復号化部 1 5 5 から出力される信号は第 2 切替え部 1 5 6 を介して復元画像信号 1 5 9 として出力されるとともに、メモリ 1 5 7 にバッファリングされる。変化位置予測部 1 5 8 が、第 1 の実施の形態の変化位置予測部 1 0 8 と同様の手法で変化位置を予測して差分値加算部 1 5 2 へ出力する。

以上のように構成された画像復号化装置について、以下にその動作を説明する。復号化部 1 5 1 では、符号化画像信号 1 2 9 から画素値変化する位置と変化する位置の予測位置との差分値を復号化し、復号化差分値を出力する。

一方、変化位置予測部 1 5 8 では、すでに復号化されている前複数ラインの画素値が変化する位置から該当ライン上の次に画素値が変化する位置を予測し、予測変化位置を出力する。図 6 に例示した復号化対象ブロックでは着目画素 A と、画素 A と同じフィールドに属し同様に黒画素から白画素に変化するすでに復号化済みの画素 C から画素 A と画素 C の x 座標の差 0 から予測変化位置画素 B が得られ、図 8 に例示した復号化対象ブロックでは着目画素 E と、画素 E と同様に黒画素から白画素に変化するすでに復号化済みの画素 G から予測変化位置画素 F が得られる。

差分値加算部 1 5 2 では、復号した差分値と復号画像から求めた予測変化位置とを加算し、その加算値を画素値変化位置として出力する。すなわち、差分値が -1 の場合、図 6 に例示したブロックでは画素 D が画素値変化位置であり、図 8 に例示したブロックでは画素 H が画素値変化位置となる。

第 1 切替え部 1 5 3 では、モード情報 1 2 8 に従って画素値変化位置をフィールド二値画像復号化部 1 5 4 またはフレーム二値画像復号化部 1 5 5 のいずれかに入力する。

フィールド二値画像復号化部 1 5 4 では、着目画素位置と画素値変化位置の間の画素を順次左隣の画素値と同じ画素値に設定することによって二値ディジ

タル画像を復号化し、図6に示した復号化画像を得る。同様の作業をフィールド1、フィールド2の順に左上の画素から右下の画素へに行なうことによってブロック復号化画像を得る。

フレーム二値画像復号化部155では、フレーム構造のまま着目画素位置と画素値変化位置との間の画素を順次左隣の画素値と同じ画素値に設定することによって二値デジタル画像を復号化し、図8に示した復号化画像を得る。同様の作業を左上の画素から右下の画素へに行なうことによってブロック復号化画像を得る。

第2切替え部156では、モード情報128に従ってフィールド二値画像復号化部154の出力またはフレーム二値画像復号化部155の出力のいずれかを選択し、二値デジタル復号化画像信号159として出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像の画素値が変化する位置に基づいて符号化された符号化画像信号に対して、モード情報128及び第1切替え部153、第2切替え部156を用いることにより正しく復号化することができる。

なお、本実施の形態では出力先の第1切替え部153と入力元の第2切替え部156を用いているが、第1切替え部153または第2切替え部156のいずれか一方のみを使用しても同一の効果を得ることができる。

また、図6、7、8、9では8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

(第4の実施の形態)

図10は、本発明の第4の実施の形態にかかる画像復号化装置のブロック図である。同図において、図5に示す第3の実施の形態と同一のブロックおよび信号については同じ番号を付し説明を省略する。

この画像復号化装置は、差分値加算部152の出力する変化画素位置が二値

画像復号化部 1 6 1 に入力され、そして二値画像復号化部 1 6 1 が画素値の変化する位置から二値画像を復元する。復元した二値画像を第 1 切替え部 1 5 3 を介してフィールド／フレーム並べ替え部 1 6 2 に入力する。フィールド／フレーム並べ替え部 1 6 2 はフィールド構造のブロック画像をフレーム構造に並べ換えるように動作する。このフィールド／フレーム並べ替え部 1 6 2 の出力及び二値画像復号化部 1 6 1 の出力を第 2 切替え部 1 5 6 を介して選択的に出力する。第 1、第 2 切替え部 1 5 3、1 5 6 はモード情報 1 2 8 に基づいて切替え動作する。

以上のように構成された画像復号化装置について、以下にその動作を説明する。復号化部 1 5 1 では、符号化画像信号 1 2 9 より差分値を復号化する。

変化位置予測部 1 5 8 では、すでに復号化済みの二値画像の画素値が変化する位置から次に画素値が変化する位置を予測し、予測変化位置を出力する。差分値加算部 1 5 2 では、差分値と予測変化位置の和を求め画素値変化位置を出力する。

二値画像復号化部 1 6 1 では、復号化済みの着目画素と画素変化位置の間の画素の画素値を左隣の画素と同じ画素値に設定することにより二値画像を復号化する。

第 1 切替え部 1 5 3 では、モード情報 1 2 8 がフィールドモードを示している場合は、画像をフィールド／フレーム並べ替え部 1 6 2 に入力し、モード情報 1 2 8 がフレームモードを示している場合はフィールド／フレーム並べ替え部 1 6 2 をスキップする。

フィールド／フレーム並べ替え部 1 6 2 では、図 1 1 に示した 2 つのフィールドが連続する構造になっているフィールド構造ブロックをライン毎に並べ換えることによって、図 1 2 に示す 2 つのフィールドに属する画素がライン毎に交互に並ぶフレーム構造に変換する。

第2切替え部156では、モード情報128に従ってフィールド／フレーム並べ替え部162の出力またはフィールド／フレーム並べ替え部162をスキップしてきた信号のいずれかを選択して二値ディジタル復号化画像信号159を出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つ二値ディジタル画像の画素値が変化する位置に基づいて符号化された符号化画像信号に対して、二値ディジタルブロック画像を復号化後にモード情報128に従ってフィールド構造からフレーム構造に並べ換えて出力するか、そのまま出力するかを選択することによって正しく二値ディジタル画像を復号化することができる。

なお、本実施の形態では出力先第1切替え部153と入力元第2切替え部156を用いているが、第1切替え部153または第2切替え部156のいずれか一方のみを使用しても同一の効果を得ることができる。

また図11、12では8×8画素のブロックを示したが任意のm×n画素から構成されたブロックについて同様に実施することができる。

(第5の実施の形態)

図13は、本発明の第5の実施の形態にかかる画像符号化装置のブロック図である。この画像符号化装置は、二値ディジタルブロック画像をフィールド単位でダウンサンプリングするフィールドダウンサンプリング部301、二値ディジタルブロック画像をフレーム単位でダウンサンプリングするフレームダウンサンプリング部302、ダウンサンプリングされた画像を符号化する符号化部303を備える。また、この画像符号化装置は、入力ブロックに適した符号化モードを判定するモード判定部304、判定モードに従ってフィールドダウンサンプルとフレームダウンサンプルとを切替える第1切替え部305、判定モードに従って符号化するダウンサンプル結果を切替える第2切替え部306

を備えている。

以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割部によって複数の画素から構成された2次元ブロックに分割された二値デジタル画像は、ブロック毎に入力画像信号310としてモード判定部304および第1切替え部305に入力される。

モード判定部304では、分散値、ライン間の相関値などを用いてフィールド単位ダウンサンプリングまたはフレーム単位ダウンサンプリングのいずれかを判定し、判定結果をモード情報311として出力する。

第1切替え部305では、モード情報311に従って入力ブロック画像信号310をフィールドダウンサンプリング部301またはフレームダウンサンプリング部302へ入力する。

フィールドダウンサンプリング部301では、入力されたブロック画像をフィールド毎にダウンサンプリングし、フィールドダウンサンプリング画像として出力する。

フレームダウンサンプリング部302では、入力されたブロック画像をフレーム構造のままダウンサンプリングし、フレームダウンサンプリング画像として出力する。

第2切替え部306は、モード情報311に従ってフィールドダウンサンプリング画像またはフレームダウンサンプリング画像のいずれかを選択し符号化部303に入力する。

符号化部303では、入力された二値ブロック画像を符号化し、符号化画像信号312を出力する。

例えば、 4×4 の画素ブロックを 2×2 の画素ブロックにダウンサンプリングする場合、画像の性質によってフレームダウンサンプリングとフィールドダウンサンプリングとではアップサンプリングして復元したときの復元精度が大

きく異なる場合がある。

図14には4×4の画素ブロックを2×2の画素ブロックにフレームダウンサンプリングしてから4×4の画素ブロックに復元した状態が示されている。図14に示す入力ブロックの場合、復元したときに復元誤差が4画素に亘って残っている。

図15には、図14に示す4×4の画素ブロックを2×2の画素ブロックにフィールドダウンサンプリングしてから4×4の画素ブロックに復元した状態が示されている。図15に示すように奇数フィールドと偶数フィールドを合成したものをダウンサンプリングし、2×2の画素ブロックを元の4×4にアップサンプリングした後、フィールド並べ替えをして復元したものは復元誤差が無いことが判る。したがって、モード判定部304では図14に示す入力ブロックの場合はフィールドダウンサンプリングのモードを判定すべきである。

モード判定部304は、入力ブロックのフレーム画像及びフィールド画像のそれぞれについて、ダウンサンプリング後の画素サイズに応じた複数領域に分割し、各領域について分散値Qを計算する。

$$Q = \sum (p - a_v)^2$$

pは領域内の画素値、 a_v は領域内の画素値の平均値である。分散値の小さい方のモードを使用モードとして選定する。

上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像に対してモード判定部304によってフィールド単位でのダウンサンプリングまたはフレーム単位でのダウンサンプリングのいずれか効率の良い手法を選択することによって符号化効率の向上を達成することができる。

なお、本実施の形態では第1切替え部305と第2切替え部306を用いているが、いずれか一方のみを使用しても同一の効果を得ることができる。

(第6の実施の形態)

図16は、本発明の第6の実施の形態にかかる画像復号化装置のブロック図である。同図において、図13に示す第5の実施の形態と同一の信号については同じ番号を付し説明を省略する。

この画像復号化装置は、画像符号化信号から二値ブロック画像を復号化する復号化部611、二値ブロック画像をフィールド単位でアップサンプリングするフィールドアップサンプリング部612、二値ブロック画像をフレーム単位でアップサンプリングするフレームアップサンプリング部613を備える。また、復号化部611の出力はモード情報311によって切替え制御される第1切替え部614を介してフィールドアップサンプリング部612又はフレームアップサンプリング部613へ与えられ、フィールドアップサンプリング部612又はフレームアップサンプリング部613の出力はモード情報311によって切替え制御される第2切替え部615を介して出力される。

以上のように構成された画像復号化装置について、以下にその動作を説明する。復号化部611は、画像符号化信号312からブロック画像を復号化し、二値ブロック復号化画像信号620を出力する。

第1切替え部614は、モード情報311に従って二値ブロック復号化画像信号620をフィールドアップサンプリング部612またはフレームアップサンプリング部613のいずれかに入力する。

フィールドアップサンプリング部612では、与えられたブロック画像をフィールド毎にアップサンプリングし二値ブロック復号化画像を出力する。

フレームアップサンプリング部613では、与えられたブロック画像をフレーム構造のままアップサンプリングし二値ブロック復号化画像を出力する。

第2切替え部615では、モード情報311に従ってフィールドアップサンプリング部612の出力またはフレームアップサンプリング部613の出力のいずれかを選択して二値ディジタル復号化画像信号621を出力する。

上記により説明した本実施の形態によれば、インタレース構造を考慮したダウンサンプリングを行なった符号化画像信号に対して、モード情報 3 1 1、第 1、第 2 切替え部 6 1 4、6 1 5 を用いることによって正しくインタレース構造を持つ二値ディジタル画像を復号化することができる。

なお、本実施の形態では第 1 切替え部 6 1 4 と第 2 切替え部 6 1 5 を用いているが、いずれか一方のみを使用しても同一の効果を得ることができる。

(第 7 の実施の形態)

図 1 7 は、本発明の第 7 の実施の形態にかかる画像復号化装置のブロック図である。同図において、図 1 0 に示す第 4 の実施の形態、図 1 6 に示す第 6 の実施の形態と同一のブロックおよび信号については同じ番号を付し説明を省略する。

この画像符号化装置は、符号化画像信号から二値ブロック画像を復号化する復号化部 6 1 1、ブロック画像をアップサンプリングするアップサンプリング部 7 0 1、ブロック画像をフィールド構造からフレーム構造に並べ換えるフィールド／フレーム並べ換え部 1 6 2、及びフィールド／フレーム並べ換え部 1 6 2 の前後に配置される第 1、第 2 切替え部 1 5 3、1 5 6 を備える。

以上のように構成された画像復号化装置について、以下にその動作を説明する。復号化部 6 1 1 は、画像符号化信号 3 1 2 からブロック画像を復号化し、二値ブロック復号化画像信号を出力する。

アップサンプリング部 7 0 1 は、ブロック復号化画像信号のアップサンプルを行なう。このとき、アップサンプリングの対象となっているブロック復号化画像信号をダウンサンプリングしたときのモード情報 3 1 1 が第 1、第 2 切替え部 1 5 3、1 5 6 へ与えられる。

第 1 切替え部 1 5 3 は、モード情報 3 1 1 がフィールドモードを示している場合、アップサンプルされた画像をフィールド／フレーム並べ換え部 1 6 2 に

入力し、モード情報 3 1 1 がフレームモードを示している場合画像をフィールド／フレーム並べ換え部 1 6 2 をスキップする。

フィールド／フレーム並べ換え部 1 6 2 では、図 1 1 に示した 2 つのフィールドが各々連続する構造になっているフィールド構造ブロックをライン毎に並べ換えることによって、図 1 2 に示した 2 つのフィールドに属する画素がライン毎に交互に並ぶフレーム構造に変換する。

第 2 切替え部 1 5 6 は、モード情報 3 1 1 に従ってフィールド／フレーム並べ換え部 1 6 2 の出力またはフィールド／フレーム並べ換え部 1 6 2 をスキップしてきた信号のいずれかを選択して二値ディジタル復号化画像信号 1 5 9 を出力する。

上記により説明した本実施の形態によれば、インタレース構造を考慮したダウンサンプリングを行なった符号化画像信号に対して、モード情報 3 1 1、第 1 切替え部 1 5 3、1 5 6 およびフィールド／フレーム並べ換え部 1 6 2 を用いることによって正しくインタレース構造を持つ二値ディジタル画像を復号化することができる。

(第 8 の実施の形態)

図 1 8 は、本発明の第 8 の実施の形態にかかる画像符号化装置のブロック図である。この画像符号化装置は、入力ブロックのフィールド画像と復号化された参照画像とを使ってフィールド単位で動き推定を行うフィールド動き推定部 8 0 1 と、入力ブロックのフレーム画像と復号化された参照画像とを使ってフレーム単位で動き推定を行うフレーム動き推定部 8 0 2 と、フィールド動き推定部 8 0 1 の推定結果である動きベクトルと参照画像とからフィールド単位で動き補償を行うフィールド動き補償部 8 0 3 と、フレーム動き推定部 8 0 2 の推定結果である動きベクトルと参照画像とからフレーム単位で動き補償を行うフレーム動き補償部 8 0 4 とを備える。また、この画像符号化装置は、フィー

フィールド動き補償部 803 とフレーム動き補償部 804 の出力する予測画像を符号化する符号化部 805 と、上記予測画像を復号する復号化部 806 と、復号化された画像を保持するメモリ 807 とを備える。また、フィールド動き補償部 803 とフレーム動き補償部 804 の出力する予測画像の予測誤差に基づいてモード判定を行うモード判定部 808 の判定結果に基づいて第 1 切替え部 809 を切替え制御し、かつ第 2 切替え部 810 を切替え制御するようにしている。

以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割部によって、複数の画素から構成された 2 次元ブロックに分割された二値デジタル画像は、ブロック毎に入力画像信号 821 としてモード判定部 808 及び符号化部 805 に入力される。

モード判定部 808 では、フィールド予測画像信号 824 とフレーム予測画像信号 825 を比較し、動き補償予測誤差がより少なくなるモードを選択してモード情報 826 として出力する。

フィールド動き推定部 801 では、入力画像信号 821 および参照画像信号 828 からフィールド毎に動き推定を行い、フィールド動きベクトル 822 を出力する。

フレーム動き推定部 802 では、入力画像信号 821 及び参照画像信号 828 からフレーム構造のまま動き推定を行いフレーム動きベクトル 823 を出力する。

フィールド動き補償部 803 では、参照画像信号 828 およびフィールド動きベクトル 822 を用いてフィールド毎に動き補償を行いフィールド予測画像 824 を出力する。

フレーム動き補償部 804 では、参照画像信号 828 およびフレーム動きベクトル 823 からフレーム構造のまま動き補償を行いフレーム予測画像信号 825 を出力する。

第1切替え部809では、モード情報826に従ってフィールド予測画像信号824またはフレーム予測画像信号825のいずれかを選択し、符号化部805および復号化部806へ入力する。

符号化部805では、予測画像信号およびモード情報826を用いて入力画像信号821を符号化し、符号化画像信号827を出力する。

復号化部806では、符号化画像信号、予測画像信号およびモード情報826を用いて二値デジタル画像を復号化し、復号化画像信号を出力する。

メモリ807は、復号化画像信号を保持し、入力ブロックに対する参照画像信号828を出力する。

第2切替え部810では、モード情報826に従ってフィールド動きベクトル822またはフレーム動きベクトル823のいずれかを選択し動きベクトル信号829として出力する。

例えば、図19に示す画素状態の入力ブロックが入力画像信号821として入力した場合について具体的に説明する。

フレーム動き推定部802に、図19に示す入力ブロックが入力すると、既に符号化した画像を再び復号して得た参照画像をメモリ807から取込む。参照画像上で、入力ブロック（左上コーナの画素位置（ i, j ））に相当する検索窓を設定し、検索窓を参照画像上で移動して入力ブロックと類似した画素状態の領域を検索する。図19に示す参照画像上で実線で囲んだ領域が検索窓の初期位置であり、点線で囲んだ領域が検索された領域である。実線で囲んだ領域から点線で囲んだ領域までの移動方向及び距離が動きベクトル823となる。図19では動きベクトルは（-1、-1）となっている。

フレーム動き補償部804では、参照画像828上で動きベクトル823にしたがって検索窓を移動して、移動後の検索窓に含まれた画素を予測画像825として出力する。

一方、フィールド動き推定部 801 では、図 20 に示す奇数フィールドのブロックと奇数フィールド参照画像を用いて動きベクトルを検出し、また図 21 に示す偶数フィールドのブロックと偶数フィールド参照画像を用いて動きベクトルを検出する。フィールド動き補償部 824 では、奇数フィールド参照画像と検出した動きベクトルとから奇数フィールド予測画像を予測し、偶数フィールド参照画像と検出した動きベクトルとから偶数フィールド予測画像を予測する。

モード判定部 808 では、オリジナルの入力ブロックの奇数フィールドと奇数フィールド予測画像との一致度をチェックする。偶数フィールドについても入力ブロックの偶数フィールドと偶数フィールド予測画像との一致度をチェックする。偶数フィールドと奇数フィールドの双方の一致度を合成した値をフィールド評価値として保持する。また、入力ブロックとフレーム予測画像との一致度をチェックする。そして、フレーム評価値とフィールド評価値とを比較して、一致度の高い評価値の方のモードを選択し、モード情報 827 とする。

上記により説明した本実施の形態によれば、インタレース構造を持つ二値デジタル画像に対してモード判定部 808 によってより動き補償予測誤差が少なくなる動き補償部を選択することによって符号化効率の向上を達成することができる。

(第 9 の実施の形態)

図 22 は、本発明の第 9 の実施の形態にかかる画像復号化装置のブロック図である。同図において、図 18 に示す第 8 の実施の形態と同一の信号については同じ番号を付し説明を省略する。

この画像復号化装置は、参照画像及び動きベクトルを用いてフィールド毎に動き補償を行うフィールド動き補償部 1201 と、参照画像及び動きベクトルを用いてフレーム構造のまま動き補償を行うフレーム動き補償部 1202 と、

符号化画像信号を復号化する復号化部 1203 とを備えている。また、フィールド動き補償部 1201 及びフレーム動き補償部 1202 の入力段には、動きベクトルの入力先を切り替える第 1 切替え部 1204 と、復号した参照画像の入力先を切替える第 2 切替え部 1205 とが配置されている。また、フィールド動き補償部 1201 及びフレーム動き補償部 1202 の出力段には復号化部 1203 へ出力する予測画像の出力元を切替える第 2 切替え部 1206 が配置されている。メモリ 1207 は復号化部 1203 の復号化した画像が参照画像として保存される記憶部である。

以上のように構成された画像復号化装置について、以下にその動作を説明する。参照画像信号 1210 は、第 2 切替え部 1205 によりモード情報 826 に従ってフィールド動き補償部 1201 またはフレーム動き補償部 1202 のいずれかに入力される。

動きベクトル信号 829 は、第 1 切替え部 1204 によりモード情報 826 に従ってフィールド動き補償部 1201 またはフレーム動き補償部 1202 のいずれかに入力される。

フィールド動き補償部 1201 は、参照画像信号 1210 及び動きベクトル信号 829 を用いてフィールド毎に動き補償を行い、フィールド予測画像信号 824 を出力する。

フレーム動き補償部 1202 は、参照画像信号 1210 及び動きベクトル信号 829 を用いてフレーム構造のまま動き補償を行いフレーム予測画像信号 825 を出力する。

第 3 切替え部 1206 では、モード情報 826 に従ってフィールド予測画像信号 824 またはフレーム予測画像信号 825 のいずれかを選択し、復号化部 1203 へ入力する。

復号化部 1203 では、モード情報 826 および予測画像信号を用いて符号

化画像信号 8 2 7 を復号化し、二値ディジタル復号化画像信号 1 2 1 1 を出力する。メモリ 1 2 0 7 は、復号化画像信号 1 2 1 1 を保持し参照画像信号 1 2 1 0 を出力する。

上記により説明した本実施の形態によれば、インタレース構造を考慮した動き補償を行いその残差を符号化した符号化画像信号に対して、モード情報 8 2 6 及び第 1、第 2、第 3 切り替え部 1 2 0 4、1 2 0 5、1 2 0 6 を用いることによって正しくインタレース構造を持つ二値ディジタル画像を復号化することができる。

なお、本実施の形態では、3つの切り替え部 1 2 0 4、1 2 0 5、1 2 0 6 を用いているが、第 1、第 2 切替え部または第 3 切替え部のいずれか一方のみを使用しても同一の効果を得ることができる。

(第 1 0 の実施の形態)

図 2 3 は、本発明の第 1 0 の実施の形態にかかる画像符号化装置のブロック図である。この画像符号化装置は、カラー画像の符号化に対応するためのカラー画像フィールド符号化部 1 3 0 1 及びカラー画像フレーム符号化部 1 3 0 2 と、二値画像の符号化に対応するための二値画像フィールド符号化部 1 3 0 4 及び二値画像フレーム符号化部 1 3 0 5 とからなる 4 つの処理ブロックと、カラー画像信号からフィールド単位で符号化するかフレーム単位で符号化するかをブロック毎に判定するモード判定部 1 3 0 6 とを備えている。

カラー画像フィールド符号化部 1 3 0 1 及びカラー画像フレーム符号化部 1 3 0 2 の入力側には、カラーブロック画像の入力先を切替える第 1 切替え部 1 3 0 7 が配置されるとともに、判定モードに対応する符号化部へモード情報 1 3 3 3 を入力するための第 2 切替え部 1 3 0 8 が配置される。また、二値画像フィールド符号化部 1 3 0 4 及び二値画像フレーム符号化部 1 3 0 5 の入力側には、二値ブロック画像の先を切り替えるための第 3 切替え部 1 3 0 9 が配置

されている。

一方、カラー画像フィールド符号化部 1 3 0 1 及びカラー画像フレーム符号化部 1 3 0 2 の出力側には、外部へ出力する符号化画像信号を両符号化部間で切替えるための第 4 切替え部 1 3 1 0 が配置される。二値画像フィールド符号化部 1 3 0 4 及び二値画像フレーム符号化部 1 3 0 5 の出力側には、外部へ出力する符号化画像信号を両符号化部間で切替えるための第 5 切替え部 1 3 1 1 が配置される。

カラー画像フィールド符号化部 1 3 0 1 はカラーブロック画像をフィールド単位で符号化する処理機能であり、カラー画像フレーム符号化部 1 3 0 2 はカラーブロック画像をフレーム単位で符号化する処理機能である。また、二値画像フィールド符号化部 1 3 0 4 は二値ブロック画像をフィールド単位で符号化する処理機能であり、二値画像フレーム符号化部 1 3 0 5 は二値ブロック画像をフレーム単位で符号化する処理機能である。

以上のように構成された画像符号化装置について、以下にその動作を説明する。カラーデジタル画像は、図中に示されていないブロック分割部によって複数の画素から構成された 2 次元ブロックに分割されカラーブロック画像 1 3 2 1 としてモード判定部 1 3 0 6 および第 1 切替え部 1 3 0 7 に入力される。

モード判定部 1 3 0 6 は、入力されたカラーブロック画像 1 3 2 1 から画素値の分散や相関などを用いてフィールド単位符号化またはフレーム単位符号化のいずれかを選択する。選択した符号化モードをモード情報 1 3 3 3 として出力する。

第 1 切替え部 1 3 0 7 は、モード情報 1 3 3 3 に従ってカラーブロック画像 1 3 2 1 をカラー画像フィールド符号化部 1 3 0 1 またはカラー画像フレーム符号化部 1 3 0 2 のいずれかに入力する。

その一方で、第 2 切替え部 1 3 0 8 は、モード情報 1 3 3 3 に従ってモード

情報 1 3 3 3 をカラー画像フィールド符号化部 1 3 0 1 またはカラー画像フレーム符号化部 1 3 0 2 のいずれかに入力する。

カラー画像フィールド符号化部 1 3 0 1 では、まずモード情報 1 3 3 3 を符号化し、次にカラーブロック画像信号 1 3 2 1 をフィールド毎に符号化し出力する。

カラー画像フレーム符号化部 1 3 0 2 では、まずモード情報 1 3 3 3 を符号化し、次にカラーブロック画像信号 1 3 2 1 をフレーム構造のまま符号化し出力する。

第 4 切替え部 1 3 1 0 では、モード情報 1 3 3 3 に従ってカラー画像フィールド符号化部 1 3 0 1 の出力またはカラー画像フレーム符号化部 1 3 0 2 の出力を選択し、符号化カラー画像信号 1 3 3 4 として出力する。

また、第 3 切替え部 1 3 0 9 は、モード情報 1 3 3 3 に従って図中に示されていないブロック分割部によって複数の画素から構成された 2 次元ブロックに分割された二値ブロック画像 1 3 2 2 を二値フィールド符号化部 1 3 0 4 または二値フレーム符号化部 1 3 0 5 のいずれかに入力する。

二値画像フィールド符号化部 1 3 0 4 は、二値ブロック画像 1 3 2 2 をフィールド毎に符号化し出力する。二値画像フレーム符号化部 1 3 0 5 は、二値ブロック画像 1 3 2 2 をフレーム構造のまま符号化し出力する。

第 5 切替え部 1 3 1 1 は、モード情報 1 3 3 3 に従って二値画像フィールド符号化部 1 3 0 4 の出力または二値画像フレーム符号化部 1 3 0 5 の出力を選択し符号化二値画像信号 1 3 3 5 として出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つカラーデジタル画像信号および二値デジタル画像信号に対して、カラーデジタル画像のモード情報に従って二値デジタル画像の符号化を行うことにより二値デジタル画像のモード情報を符号化する必要がなく符号化効率の向上が達

成できる。

なお、本実施の形態では、第1～第3切替え部1307、1308、1309と第4、第5切替え部1310、1311を用いているが、符号化部の入力側又は出力側の一方のみを使用しても同一の効果を得ることができる。

(第11の実施の形態)

図24は、本発明の第11の実施の形態にかかる画像復号化装置のブロック図である。同図において、図23に示す第10の実施の形態と同一信号については同一の番号を付し説明を省略する。

この画像復号化装置は、符号化カラー画像信号1334から符号化モード情報を復号化するモード復号化判定部1401、符号化カラー画像信号からフィールド単位でカラーブロック画像を復号化するカラー画像フィールド復号化部1402、符号化カラー画像信号1334からフレーム構造のままカラーブロック画像を復号化するカラー画像フレーム復号化部1403、符号化二値画像信号1335からフィールド単位で二値ブロック画像を復号化する二値画像フィールド復号化部1404、符号化二値画像信号1335からフレーム単位で二値ブロック画像を復号化する二値画像フレーム復号化部1405を備える。

カラー画像フィールド復号化部1402及びカラー画像フレーム復号化部1403の入力側には第1切替え部1406が配置され、二値画像フィールド復号化部1404及び二値画像フレーム復号化部1405の入力側には第2切替え部1407が配置されている。また、カラー画像フィールド復号化部1402及びカラー画像フレーム復号化部1403の出力側には第3切替え部1408が配置され、二値画像フィールド復号化部1404及び二値画像フレーム復号化部1405の出力側には第4切替え部1409が配置されている。

以上のように構成された画像復号化装置について、以下にその動作を説明する。モード復号化部判定部1401は、符号化カラー画像信号1334からカ

ラー画像のモード情報 1 4 1 0 を復号化する。

第 1 切替え部 1 4 0 6 は、モード情報 1 4 1 0 に従って符号化カラー画像信号 1 3 3 4 をカラー画像フィールド復号化部 1 4 0 2 またはカラー画像フレーム復号化部 1 4 0 3 のいずれかに入力する。

カラー画像フィールド復号化部 1 4 0 2 は、符号化カラー画像信号 1 3 3 4 からフィールド単位でカラーブロック画像を復号化する。カラー画像フレーム復号化部 1 4 0 3 は、符号化カラー画像信号 1 3 3 4 からフレーム構造のままカラーブロック画像を復号化する。

第 3 切替え部 1 4 0 8 は、モード情報 1 4 1 0 に従ってカラー画像フィールド符号化部 1 4 0 2 の出力またはカラー画像フレーム符号化部 1 4 0 3 の出力のいずれかを選択し、復号化されたカラーブロック画像 1 4 1 1 として出力する。第 2 切替え部 1 4 0 7 では、カラー画像のモード情報 1 4 1 0 に従って二値符号化画像信号 1 3 3 5 を二値画像フィールド復号化部 1 4 0 4 または二値画像フレーム復号化部 1 4 0 5 のいずれかに入力する。

二値画像フィールド復号化部 1 4 0 4 では、符号化二値画像信号 1 3 3 5 からフィールド単位で二値ブロック画像を復号化する。二値画像フレーム復号化部 1 4 0 5 では、符号化二値画像信号 1 3 3 5 からフレーム構造のまま二値ブロック画像を復号化する。

第 4 切替え部 1 4 0 9 では、モード情報 1 4 1 0 に従って二値画像フィールド復号化部 1 4 0 4 の出力または二値画像フレーム復号化部 1 4 0 5 のいずれかを選択し復号化された二値ブロック画像 1 4 1 2 として出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つカラーデジタル画像および二値デジタル画像の符号化画像信号に対して、カラー画像、二値画像ともにモード復号化判定部 1 4 0 1 で復号化されたカラー画像のモード情報に従って復号化することにより、二値画像のモード情報を用いる

ことなく正しく復号化することができる。

なお、本実施の形態では第1、第2切替え部1406、1407と第3、第4切替え部1408、1409を用いているが、いずれか一方のみを使用しても同一の効果を得ることができる。

(第12の実施の形態)

図25は、本発明の第12の実施の形態にかかる画像符号化装置のブロック図である。上記第10の実施の形態ではカラーブロック画像信号1321からフィールド単位で符号化するかフレーム単位で符号化するか決定しているが、本実施の形態では二値画像信号1322からフィールド単位で符号化するかフレーム単位で符号化するかを決定するようにしている。図25において、図23に示す第10の実施の形態と同一機能を有するブロック及び同じ信号について同一番号を付し説明を省略する。

以上のように構成された画像符号化装置について、以下にその動作を説明する。二値デジタル入力画像信号は、図中に示されていないブロック分割部によって複数の画素から構成された2次元ブロックに分割され、二値ブロック画像1322としてモード判定部1306'および第1切替え部1307に入力される。

モード判定部1306'は、入力された二値ブロック画像1322から画素値の分散や相関などを用いてフィールド単位符号化またはフレーム単位符号化のいずれかを判定し、モード情報1800として出力する。

第1切替え部1307は、モード情報1800に従って二値ブロック画像1322を二値画像フィールド符号化部1304'または二値画像フレーム符号化部1305'のいずれかに入力する。第2切替え部1308は、モード情報1800に従ってモード情報1800を二値画像フィールド符号化部1304'または二値画像フレーム符号化部1305'のいずれかに入力する。

二値画像フィールド符号化部 1304' は、まずモード情報 1800 を符号化し、次に二値ブロック画像 1322 をフィールド毎に符号化し出力する。二値画像フレーム符号化部 1305' は、まずモード情報 1800 を符号化し、次に二値ブロック画像 1322 をフレーム構造のまま符号化し出力する。

第4切替え部 1310 では、モード情報 1800 に従って二値画像フィールド符号化部 1304' の出力または二値画像フレーム符号化部 1305' の出力を選択し、符号化二値画像信号 1801 として出力する。第3切替え部 1309 は、モード情報 1800 に従って図中に示されていないブロック分割部によって、複数の画素から構成された2次元ブロックに分割されたカラーブロック画像 1321 をカラーフィールド符号化部 1301' またはカラー画像フレーム符号化部 1302' のいずれかに入力する。

カラー画像フィールド符号化部 1301' にカラーブロック画像 1321 が入力された場合は、カラーブロック画像 1321 をフィールド毎に符号化し出力する。カラー画像フレーム符号化部 1302' はカラーブロック画像 1321 が入力された場合は、カラーブロック画像 1321 をフレーム構造のまま符号化し出力する。

第5切替え部 1311 は、モード情報 1800 に従ってカラー画像フィールド符号化部 1301' の出力またはカラー画像フレーム符号化部 1302' の出力を選択し符号化カラー画像信号 1802 として出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つカラーデジタル画像信号および二値デジタル画像信号に対して、二値デジタル画像のモード情報に従ってカラーデジタル画像の符号化を行うことによりカラーデジタル画像のモード情報を符号化する必要がなく符号化効率の向上が達成できる。

(第13の実施の形態)

図26は、本発明の第13の実施の形態にかかる画像復号化装置のブロック図である。上記第12の実施の形態で符号化された符号化画像信号の復号化装置の例であり、図25に示す第12の実施の形態の信号と同一信号、および図24に示す実施の形態11の各部と同一機能の部分には同一符号を付している。

同図において、モード復号化判定部1401'は符号化二値画像信号からモード情報1800を復号化する部分である。

以上のように構成された画像復号化装置について、以下にその動作を説明する。モード復号化判定部1401'は、符号化二値画像信号1801から二値画像のモード情報1800を復号化する。

第1切替え部1406は、モード情報1800に従って符号化二値画像信号1801を二値画像フィールド復号化部1404または二値画像フレーム復号化部1405のいずれかに入力する。

二値画像フィールド復号化部1404に符号化二値画像信号1801が入力された場合は、符号化二値画像信号1801からフィールド単位で二値ブロック画像を復号化する。また、二値画像フレーム復号化部1405に符号化二値画像信号1801からフレーム構造のまま二値ブロック画像を復号化する。

第3切替え部1408は、モード情報1800に従って二値画像フィールド符号化部1404の出力または二値画像フレーム符号化部1405の出力のいずれかを選択し復号化された二値ブロック画像1412として出力する。

第2切替え部1407は、二値画像のモード情報1800に従って符号化カラー画像信号1802をカラー画像フィールド復号化部1402またはカラー画像フレーム復号化部1403のいずれかに入力する。

カラー画像フィールド復号化部1402では、符号化カラー画像信号1802が入力された場合、符号化カラー画像信号1802からフィールド単位でカラーブロック画像を復号化する。またカラー画像フレーム復号化部1403で

は、符号化カラー画像信号1802が入力された場合、符号化カラー画像信号1802からフレーム構造のままカラーブロック画像を復号化する。

第4切替え部1409では、モード情報1800に従ってカラー画像フィールド復号化部1402の出力またはカラー画像フレーム復号化部1403のいずれかを選択し、復号化されたカラーブロック画像1411として出力する。

上記により説明した本実施の形態によれば、インタレース構造を持つカラーデジタル画像および二値デジタル画像の符号化画像信号に対して、カラー画像、二値画像ともにモード復号化判定部1401'で復号化された二値画像のモード情報に従って復号化することにより、カラー画像のモード情報を用いることなく正しく復号化することができる。

(第14の実施の形態)

図20は本発明の第14の実施の形態にかかる画像符号化装置のブロック図である。この画像符号化装置は、入力画像が保存されるメモリ1900、フィールド単位で着目画素の周辺画素の画素値の分布状態を調べるフィールド画素値分布調査部1901、フレーム単位で着目画素の周辺画素の画素値の分布状態を調べるフレーム画素値分布調査部1902、図28の確率分布表を用いて周辺画素値の分布状態に応じて着目画素の画素値の確率を決定する確率分布決定部1903、1905、決定した確率分布に応じて着目画素の画素値を算術符号化する算術符号化部1904、1906、フィールド単位で符号化された符号化信号とフレーム単位で符号化された符号化信号を比較しフィールド/フレームモードを判定し、モード情報を出力するモード判定部1907、モード情報に応じて算術符号化部1904、1906間で出力信号を切替える切替え部1908を備えている。

以上のように構成された画像符号化装置について、以下にその動作を説明する。図中に示されていないブロック分割部によって複数の画素から構成された

2次元ブロックに分割された二値デジタル画像1910が入力され、まずメモリ1900に保持される。

フィールド画素値分布調査部1901およびフレーム画素値分布調査部1902は、符号化対象画素の周辺の画素値をメモリ1900から読み出し画素値の分布状態を検出する。

図29Aおよび図29Bは8×8画素に分割されたブロックを示し、画素位置Aの画素が符号化対象画素である。また黒くハッチングされた画素は符号化済みの画素を示す。フィールド画素値分布調査部1901では図29Aに示した画素位置B、C、Dの画素値を符号化対象画素Aの周辺画素値として出力する。また、フレーム画素値分布調査部1902では図29Bに示した画素位置B、C、Dの画素値を符号化対象画素Aの周辺画素値として出力する。

フィールド画像を対象とする確率分布決定部1903では、フィールド画素値分布調査部1901で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。例えば(B, C, D)が(黒, 白, 黒)であった場合、図28の確率分布表より符号化対象画素Aが黒である確率は0.75、白である確率は0.25とする。算術符号化部1904では、確率分布決定部1903によって決定した確率分布に基づいて注目画素Aの画素値を算術符号化し、符号化画像信号を出力する。

一方で、フレーム画像を対象とする確率分布決定部1905では、フレーム画素値分布調査部1902で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。例えば(B, C, D)が(黒, 黒, 黒)であった場合、図28の確率分布表より符号化対象画素Aが黒である確率は0.955、白である確率は0.05とする。算術符号化部1906では、確率分布決定部1905によって決定した確率分布に基づいて注目画素Aの画素値を算術符号化し、符号化画像信号を出力する。

モード判定部 1907 では、フィールド単位で画素値の分布状態を調査した確率分布に基づいて得られた符号化画像信号と、フレーム単位で画素値の分布状態を調査した確率分布に基づいて選られた符号化画像信号とを一ブロック毎に比較し、符号長の短い方を選択することによってフィールド／フレームモードを判定し、モード情報 1915 として出力する。

切替え部 1908 では、モード情報 1915 に従ってフィールド単位符号化画像信号またはフレーム単位符号化画像信号のいずれかを選択し符号化画像信号 1916 として出力する。

上記により説明した本実施の形態によれば、インターレース構造を持つ二値デジタル画像を、周辺画素値の分布状態に応じて符号化対象画素の画素値の確率分布を決定し算術符号化する際に、フィールド単位で確率分布を決定する手法とフレーム単位で確率分布を決定する手法のいずれか効率の良い方をモード判定部によってブロック毎に判定し切替えることによって符号化効率の向上を達成することができる。

なお、本実施の形態では 8×8 画素のブロックを示したが任意の $m \times n$ 画素から構成されたブロックについて同様に実施することができる。

また、図 29 では符号化対象画素の周辺画素として B、C、D の 3 画素を用いたがさらに多くの画素を用いることも可能である。

(第 15 の実施の形態)

図 30 は、本発明の第 15 の実施の形態にかかる画像復号化装置のブロック図である。同図において、図 27 に示す第 14 の実施の形態と同一信号については同じ番号を付し説明を省略する。

この画像符号化装置は、既に復号化済みの画素の画素値データについてフィールド単位で注目画素の周辺画素の分布状態を調査するフィールド画素値分布調査部 2001、復号化済みの画素の画素値データについてフレーム単位で注

目画素の周辺画素の分布状態を調査するフレーム画素値分布調査部 2002、注目画素の周辺画素の分布状態に対応した確率分布を決定する確率分布決定部 2003、復号化対象の符号化画像信号を算術復号化する算術復号化部 2004を備えている。また、算術復号化部 2004で復号した画像を記憶するメモリ 2005と、メモリ 2005に記憶した画像をフィールド画素値分布調査部 2001又はフレーム画素値分布調査部 2002のいずれかに選択的に入力する第1切替え部 2006と、確率分布決定部 2003に入力する周辺画素の分布状態を切替える第2切替え部 2007とを備えている。

以上のように構成された画像復号化装置について、以下にその動作を説明する。第1切替え部 2006では、モード情報 1915に従ってメモリ 2005内に保持されている既に復号化済みの画素の画素値データをフィールド画素値分布調査部 2001またはフレーム画素値分布調査部 2002に入力する。

フィールド画素値分布調査部 2001では、図 29Aに例示する復号化対象ブロックにおいて、画素位置 A が復号化対象画素であるとする、黒くハッチングされた画素は既に復号化済みであり、画素位置 B、C、D の画素値を復号化対象画素 A の周辺画素値として出力し、また、フレーム画素値分布調査部 2002では、図 29B に例示した復号化対象ブロックにおいて、同様に復号化対象画素 A の周辺の周辺画素値として画素位置 B、C、D の画素値を出力する。

第2切替え部 2007では、モード情報 1915に従ってフィールド単位での画素値の分布状態、または、フレーム単位での画素値の分布状態のいずれかを確率分布決定部 2003に入力する。

確率分布決定部 2003では、フィールド画素値分布調査部 2001またはフレーム画素値分布調査部 2002で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。符号化の場合と同様に、(B, C, D) が (黒, 白, 黒) であった場合、図 28 の確率分布表により符号化対象

画素Aが黒である確率は0.75、白である確率は0.25となる。

算術復号化部2004では、確率分布決定部2003によって決定した確率分布に基づいて画素値を算術復号化により復号化し、復号化画像信号2008として出力する。また出力された復号化画像信号はメモリ2005に入力され保持される。

上記により説明した本実施の形態によれば、二値ディジタル画像の画素値を算術復号化を用いて復号化する画像復号化装置において、復号化対象画素の画素値の確率分布を、復号化対象画素の周辺画素の画素値の分布状態に応じて決定する際に、モード情報1915および第2切替え部2006、2007を用いることによって、インターレース構造を持つ画像においても正しく復号化することができる。

なお、図29A、図29Bでは符号化対象画素の周辺画素としてB、C、Dの3画素を用いたがさらに多くの画素を用いることも可能である。

(第16の実施の形態)

図31は本発明の第16の実施の形態にかかる画像符号化装置のブロック図である。同図において、図18に示す第8の実施の形態、図27に示す第14の実施の形態と同一のブロックおよび信号については同じ番号を付し説明を省略する。

ブロック2301は図18のフィールド動き推定部801、フィールド動き補償部803で構成され、ブロック2302は図18のフレーム動き推定部802、フレーム動き補償部804で構成される。フィールド動き推定部801及びフレーム動き推定部802の出力する動きベクトル829は切替え部826を介して伝送される。

また、ブロック2303は図27のフィールド画素値分布調査部1901、確率分布決定部1903及び算術符号化部1904からなり、ブロック230

4はフレーム画素値分布調査部1902、確率分布決定部1905及び算術符号化部1906からなる。図32にブロック2303及びブロック2304に関する部分の機能ブロックを示している。

モード判定部2305は、ブロック2303および2304の出力するフィールド予測画像及びフレーム予測画像の符号化画像信号を比較して符号語長の短いモードを選択してモード情報2321とする。

また、ブロック2303および2304の出力側にブロック2303および2304の出力する符号化画像信号を選択的に切替える第2切替え部2306が配置されている。

フィールドモードで算術符号化された符号化画像信号を復号化するフィールド算術復号化部2307と、フレームモードで算術符号化された符号化画像信号を復号化するフレーム算術復号化部2308とを備えている。フィールド算術復号化部2307及びフレーム算術復号化部2308に対する入出力の切替えは前後段に配置した第3、第4切替え部2309、2310で判定モードに同期して行う。

以上のように構成された画像符号化装置について、以下にその動作を説明する。フィールド動き推定／補償部2301によって既に符号化済みの画像から動き補償予測されて得られた動き補償予測画像はフィールド画素値分布調査部1901、およびフレーム画素値分布調査部1902に入力される。

フィールド画素値分布調査部1901およびフレーム画素値分布調査部1902では、動き補償予測画像信号824（825）における符号化対象画素と同じ位置およびその周辺の画素の画素値を調査する。

図33および図34は8×8画素に分割されたブロックを示し、図33Aおよび図34Aは動き補償予測されたブロック、図33Bおよび図34Bは符号化対象ブロックを示す。

フィールド画素値分布調査部 1901 では、符号化対象画素が図 33B に示される画素 A であるとする、動き補償予測ブロック内で画素 A と同じ位置にある図 33A の画素 B およびフィールド単位でその周辺画素となる C および D の画素値を符号化対象画素 A の周辺画素値の分布状態として出力する。

フレーム画素値分布調査部 1902 では、符号化対象画素が図 34B に示される画素 A であるとする、動き補償予測ブロック内で画素 A と同じ位置にある図 34A の画素 B およびフレーム単位でその周辺画素となる C および D の画素値を符号化対象画素 A の周辺画素値の分布状態として出力する。

確率分布決定部 1903、1905 では、フィールド画素値分布調査部 1901 およびフレーム画素値分布調査部 1902 で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。すなわち、(B, C, D) が (黒, 白, 黒) であった場合、図 35 に示す確率分布表より符号化対象画素 A の画素値が黒である確率は 0.75、白である確率は 0.25 となる。

画素値符号化手段 1904、1906 では、確率分布決定部 1903、1905 によって決定した確率分布に基づいて画素値を算術符号化し、符号化画像信号を出力する。

モード判定部 2305 では、フィールド単位で画素値の分布状態を調査した確率分布に基づいて得られた符号化画像信号と、フレーム単位で画素値の分布状態を調査した確率分布に基づいて選られた符号化画像信号とを一ブロック毎に比較し、符号長の短い方を判定することによってフィールド/フレームモードを決定し、モード情報 2321 として出力する。

第 2 切替え部 2306 では、モード情報 2321 に従ってフィールド単位符号化画像信号またはフレーム単位符号化画像信号のいずれかを選択し符号化画像信号 2320 として出力する。

上記により説明した本実施の形態によれば、インターレース構造を持つ二値

デジタル画像を、動き補償予測画像の画素値の分布状態に応じて符号化対象画素の画素値の確率分布を決定し算術符号化する際に、フィールド単位で確率分布を決定する手法とフレーム単位で確率分布を決定する手法のいずれか効率の良い方をモード判定部 2305 によってブロック毎に判定し切替えることによって符号化効率の向上を達成することができる。

(第 17 の実施の形態)

図 36 は、本発明の第 17 の実施の形態にかかる画像復号化装置のブロック図である。同図において、図 22 に示す第 9 の実施の形態、図 31 に示す第 16 の実施の形態と同一のブロックおよび信号については同じ番号を付し説明を省略する。

この画像復号化装置は、復号化した参照画像と受信した動きベクトル等から動き補償予測画像を生成するフィールド／フレーム動き補償部 2500 を備えている。フィールド／フレーム動き補償部 2500 は、図 22 に示すようにフィールド動き補償部 1201、フレーム動き補償部 1202、フィールドモード／フレームモードを切替える複数の切替え部 1204、1205、1206、復号化画像を参照画像として保存するメモリ 1207 等から構成される。

また、この画像復号化装置は、フィールド単位で動き補償予測画像から注目画素の周辺画素の画素状態を検出するフィールド画素値分布調査部 2501、フレーム単位で動き補償予測画像から注目画素の周辺画素の画素状態を検出するフレーム画素値分布調査部 2502 を備える。

さらに、フィールド画素値分布調査部 2501、フレーム画素値分布調査部 2502 の出力する分布状態から注目画素に対応する確率を決定する確率分布決定部 2503、決定した確率に基づいて算術復号化する算術復号化部 2504 を有する。

以上のように構成された画像復号化装置について、以下にその動作を説明す

る。第1切替え部2505では、モード情報2321に従って、ブロック2500によって得られた動き補償予測画像信号をフィールド画素値分布調査部2501またはフレーム画素値分布調査部2502に入力する。

フィールド画素値分布調査部2501では、図33Bに例示した8×8画素からなる復号化対象ブロックにおいて画素Aが復号化対象画素であるとする、図33Aに例示した動き補償予測ブロックにおいて画素Aと同じ位置の画素B、およびフィールド単位で画素Bの周辺画素である画素CおよびDの画素値を復号化対象画素Aの周辺画素値として出力し、また、フレーム画素値分布調査部2502では図34Bに例示した8×8画素からなる復号化対象ブロックにおいて画素Aが復号化対象画素であるとする、図34Aに例示した動き補償予測ブロックにおいて画素Aと同じ位置の画素B、およびフレーム単位で画素Bの周辺画素である画素CおよびDの画素値を復号化対象画素Aの周辺画素値として出力する。

出力側に配置された第2切替え部2506では、モード情報2321に従ってフィールド単位での画素値の分布状態、またはフレーム単位での画素値の分布状態のいずれかを確率分布決定部2503に入力する。

確率分布決定部2503では、フィールド画素値分布調査部2501またはフレーム画素値分布調査部2502で決定した周辺画素値の分布状態より、符号化対象画素の画素値の確率分布を決定する。すなわち、(B, C, D)が(黒, 白, 黒)であった場合、図35に示す確率分布表により符号化対象画素Aが黒である確率は0.75、白である確率は0.25となる。

算術復号化部2504では、確率分布決定部2503によって決定した確率分布に基づいて画素値を算術復号化により復号化し、復号化画像信号2510として出力する。

上記により説明した本実施の形態によれば、二値ディジタル画像の画素値を

算術復号化を用いて復号化する画像復号化装置において、復号化対象画素の画素値の確率分布を、動き補償予測画像の画素値の分布状態に応じて決定する際に、モード情報 2 3 2 1 および第 1、第 2 切替え部 2 5 0 5, 2 5 0 6 を用いることによって、インターレース構造を持つ画像においても正しく復号化することができる。

(第 1 8 の実施の形態)

本発明は、第 1 の実施の形態から第 1 7 の実施の形態に示した機能ブロックの処理内容をプログラムによってソフト的に実現し、これをフロッピーディスク等の記録媒体に記録して移送することにより、独立した他のコンピュータシステムで容易に実施することができる。図 3 7 に、記録媒体の例としてフロッピーディスクを示す。

なお、この実施の形態においては、記録媒体としてフロッピーディスクを示したが、IC カードや CD-ROM、磁気テープ等プログラムを記録できるものであれば、同様に実施することができる。

なお、上述した画像符号化装置の機能と画像復号化装置の機能とを併せ持つ画像符号化／復号化装置を構成することもできる。

産業上の利用可能性

以上のように、本発明にかかる画像符号化装置及び画像復号化装置は、インターレース構造を持つデジタル画像をブロック分割しブロック毎に符号化／復号化するのに有用であり、ブロック毎にフィールド構造またはフレーム構造を考慮し符号化効率の良いモードを選択することにより符号化効率の改善を図るのに適している。

請 求 の 範 囲

1. 二値デジタル画像を分割した画素ブロックをフィールド単位で処理するフィールド単位処理手段と、

前記二値デジタル画像を分割した画素ブロックをフレーム単位で処理するフレーム単位処理手段と、

前記画素ブロックをフィールド単位で処理すべきかフレーム単位で処理すべきかをブロック単位で判定するモード判定手段と、

前記モード判定手段の判定結果を示すモード情報に応じて前記フィールド単位処理手段及び前記フレーム単位処理手段に対する入力又は出力を切替える切替え手段と、を具備する画像符号化装置。

2. 請求項 1 記載の画像符号化装置において、

前記フィールド単位処理手段は、前記画素ブロックをフィールド単位で符号化処理し、

前記フレーム単位処理手段は、前記画素ブロックをフレーム単位で符号化処理する、ことを特徴とする画像符号化装置。

3. 請求項 1 記載の画像符号化装置において、

前記フィールド単位処理手段は、前記画素ブロックをフィールド単位でダウンサンプリングし、

前記フレーム単位処理手段は、前記画素ブロックをフレーム単位でダウンサンプリングし、

前記モード判定手段は、前記二値デジタル画像を符号化する際に、前記画素ブロックをフィールド単位でダウンサンプリングを行なうかフレーム単位でダウンサンプリングを行なうかをブロック毎に判定し、判定結果を示すモー

ド情報を入力する、ことを特徴とする画像符号化装置。

4. 請求項 1 記載の画像符号化装置において、

前記フィールド単位処理手段は、前記画素ブロックをフィールド単位で動き補償してフィールド予測画像を生成し、

前記フレーム単位処理手段は、前記画素ブロックをフレーム単位で動き補償してフレーム予測画像を生成し、

前記モード判定手段は、前記二値ディジタル画像を符号化する際に、フィールド単位で動き補償を行なうかフレーム単位で動き補償を行なうかをブロック毎に判定し、判定結果を示すモード情報を入力する、ことを特徴とする画像符号化装置。

5. 請求項 1 記載の画像符号化装置において、

前記フィールド単位処理手段は、

フィールド画像について画素値の変化点を検出するフィールド変化点検出手段と、

同一フィールド画像内で先に画素値変化の検出されている変化位置から次の画素値の変化位置を予測するフィールド予測手段と、

前記フィールド変化点検出手段によって検出された変化点検出位置と前記フィールド予測手段によって予測された変化点予測位置との差分値を符号化するフィールド符号化手段とを有し、

前記フレーム単位処理手段は、

フレーム画像について画素値の変化点を検出するフレーム変化点検出手段と、

同一フレーム画像内で先に画素値変化の検出されている変化位置から次の画素値の変化位置を予測するフレーム予測手段と、

前記フレーム変化点検出手段によって検出された変化点検出位置と前記フ

フレーム予測手段によって予測された変化点予測位置との差分値を符号化するフレーム符号化手段とを有し、

前記モード判定手段は、

前記フィールド符号化手段の出力する符号化画像信号の符号語長と前記フレーム符号化手段の出力する符号化画像信号の符号語長とを比較してモード判定する、ことを特徴とする画像符号化装置。

6. 請求項1記載の画像符号化装置において、

前記フィールド単位処理手段は、

フィールド画像における着目画素周辺の符号化済み画素の画素値分布状態を調査する手段と、

前記着目画素の画素値に関する確率分布を前記調査結果に現われた分布状態から決定する手段と、

前記決定した確率分布に従って前記着目画素の画素値を算術符号化する手段とを有し、

前記フレーム単位処理手段は、

フレーム画像における着目画素周辺の符号化済み画素の画素値分布状態を調査する手段と、

前記着目画素の画素値に関する確率分布を前記調査結果に現われた分布状態から決定する手段と、

前記決定した確率分布に従って前記着目画素の画素値を算術符号化する手段とを有する、ことを特徴とする画像符号化装置。

7. 請求項1記載の画像符号化装置において、

前記フィールド単位処理手段は、

前記画素ブロックをフィールド単位で動き補償してフィールド予測画像を生成する手段と、

前記フィールド予測画像における着目画素周辺の符号化済み画素の画素値分布状態を調査する手段と、

前記着目画素の画素値に関する確率分布を前記調査結果に現われた分布状態から決定する手段と、

前記決定した確率分布に従って前記着目画素の画素値を算術符号化する手段とを有し、

前記フレーム単位処理手段は、

前記画素ブロックをフレーム単位で動き補償してフレーム予測画像を生成する手段と、

前記フレーム予測画像における着目画素周辺の符号化済み画素の画素値分布状態を調査する手段と、

前記着目画素の画素値に関する確率分布を前記調査結果に現われた分布状態から決定する手段と、

前記決定した確率分布に従って前記着目画素の画素値を算術符号化する手段とを有する、ことを特徴とする画像符号化装置。

8. 請求項1記載の画像符号化装置において、

前記フィールド単位処理手段は、

カラーディジタル画像の符号化処理をフィールド単位で行なうカラー画像フィールド符号化手段と、

前記カラーディジタル画像の有意形状を示す二値ディジタル画像をフィールド単位で符号化する二値画像フィールド符号化手段とを有し、

前記フレーム単位処理手段は、

前記カラーディジタル画像の符号化処理をフレーム単位で行なうカラー画像フレーム符号化手段と、

前記カラーディジタル画像の有意形状を示す二値ディジタル画像をフレイ

ム単位で符号化する二値画像フレーム符号化手段とを有し、

前記モード判定手段は、

前記カラーディジタル画像の符号化処理をフィールド単位で行なうかフレーム単位で行なうかブロック毎に判定し、判定結果を示すモード情報を出力する、ことを特徴とする画像符号化装置。

9. 請求項1記載の画像符号化装置において、

前記フィールド単位処理手段は、

カラーディジタル画像の符号化処理をフィールド単位で行なうカラー画像フィールド符号化手段と、

前記カラーディジタル画像の有意形状を示す二値ディジタル画像をフィールド単位で符号化する二値画像フィールド符号化手段とを有し、

前記フレーム単位処理手段は、

前記カラーディジタル画像の符号化処理をフレーム単位で行なうカラー画像フレーム符号化手段と、

前記カラーディジタル画像の有意形状を示す二値ディジタル画像をフレーム単位で符号化する二値画像フレーム符号化手段とを有し、

前記モード判定手段は、

前記二値ディジタル画像の符号化処理をフィールド単位で行なうかフレーム単位で行なうかブロック毎に判定し、判定結果を示すモード情報を出力する、ことを特徴とする画像符号化装置。

10. 画像符号化装置でフィールド単位又はフレーム単位で符号化された画素ブロックの符号化画像信号をフィールド単位で復号化のための処理を行うフィールド単位処理手段と、

前記画素ブロックの符号化画像信号をフレーム単位で復号化のための処理を行うフレーム単位処理手段と、

前記画像符号化装置でフィールド単位又はフレーム単位のいずれで画素ブロックを符号化したかを示すモード情報に応じて前記フィールド単位処理手段及び前記フレーム単位処理手段に対する入力又は出力を切替える切替え手段と、を具備する画像復号化装置。

1 1. 請求項 1 0 記載の画像復号化装置において、

前記フィールド単位処理手段は、前記符号化画像信号をフィールド単位で復号化处理し、

前記フレーム単位処理手段は、前記符号化画像信号をフレーム単位で復号化处理する、ことを特徴とする画像復号化装置。

1 2. 請求項 1 0 記載の画像復号化装置において、

前記フィールド単位処理手段は、前記符号化画像信号をフィールド単位でアップサンプリングし、

前記フレーム単位処理手段は、前記符号化画像信号をフレーム単位でアップサンプリングし、

前記切替え手段は、フィールド単位又はフレーム単位のいずれで画素ブロックをダウンサンプリングしたかを示すモード情報に応じて切替え処理する、ことを特徴とする画像復号化装置。

1 3. 請求項 1 0 記載の画像復号化装置において、

前記フィールド単位処理手段は、先に復号化された参照画像と復号化対象画素ブロックの符号化時に検出された動きベクトルとに基づいてフィールド単位で動き補償を行い、

前記フレーム単位処理手段は、先に復号化された参照画像と復号化対象画素ブロックの符号化時に検出された動きベクトルとに基づいてフレーム単位で動き補償を行い、

前記切替え手段は、フィールド単位又はフレーム単位のいずれで画素プロ

ックを動き補償したかを示すモード情報に応じて切替え処理する、ことを特徴とする画像復号化装置。

14. 請求項10記載の画像復号化装置において、

画素ブロック内の変化点検出位置と変化点予測位置との差分値を符号化した符号化画像信号から前記差分値を復号化する差分値復号化手段と、

先に復号化された画素ブロック内の画素の画素値変化位置から次の画素値変化位置を予測する予測手段と、

前記予測手段で予測された画素値変化位置に前記復号化された差分値を加算する加算手段とを備え、

前記フィールド単位処理手段は、前記加算手段の出力する加算結果からフィールド単位でフィールド画像を復元し、

前記フレーム単位処理手段は、前記加算手段の出力する加算結果からフレーム単位でフレーム画像を復元する、ことを特徴とする画像復号化装置。

15. 請求項10記載の画像復号化装置において、

注目画素周辺の画素値分布に基づいて当該注目画素の画素値の確率分布を決定する確率分布決定手段と、

その決定した前記注目画素の確率分布を用いて当該注目画素の算術符号化された画像符号化信号を復号化する算術復号化手段と、をさらに具備し、

前記フィールド単位処理手段は、前記算術復号化手段で先に復号化した復号画像からフィールド単位で注目画素の周辺画素について画素値分布を調査し、調査結果の画素値分布を前記確率分布決定手段に対して出力し、

前記フレーム単位処理手段は、前記復号画像からフレーム単位で注目画素の周辺画素について画素値分布を調査し、調査結果の画素値分布を前記確率分布決定手段に対して出力する、ことを特徴とする画像復号化装置。

16. 請求項10記載の画像復号化装置において、

注目画素周辺の画素値分布に基づいて当該着目画素の画素値の確率分布を決定する確率分布決定手段と、

その決定した前記注目画素の確率分布を用いて当該着目画素の算術符号化された画像符号化信号を復号化する算術復号化手段と、をさらに具備し、

前記フィールド単位処理手段は、

先に前記算術復号化手段で復号化された復号化画像から復号化対象の画素ブロックをフィールド単位で動き補償してフィールド予測画像を生成する手段と、

前記フィールド予測画像における着目画素周辺の符号化済み画素の画素値分布状態を調査する手段とを有し、

前記フレーム単位処理手段は、

先に前記算術復号化手段で復号化された復号化画像から復号化対象の画素ブロックをフレーム単位で動き補償してフレーム予測画像を生成する手段と、

前記フレーム予測画像における着目画素周辺の符号化済み画素の画素値分布状態を調査する手段とを有する、ことを特徴とする画像復号化装置。

17. 請求項10記載の画像復号化装置において、

前記フィールド単位処理手段は、

カラーディジタル画像の復号化処理をフィールド単位で行なうカラー画像フィールド復号化手段と、

前記カラーディジタル画像の有意形状を示す二値ディジタル画像をフィールド単位で復号化する二値画像フィールド復号化手段とを有し、

前記フレーム単位処理手段は、

前記カラーディジタル画像の符号化処理をフレーム単位で行なうカラー画像フレーム復号化手段と、

前記カラーディジタル画像の有意形状を示す二値ディジタル画像をフレー

ム単位で復号化する二値画像フレーム復号化手段とを有し、

前記切替え手段は、

画像符号化装置でカラーデジタル画像をフィールド単位又はフレーム単位のいずれで符号化したかを示すモード情報に応じて切替え処理する、ことを特徴とする画像復号化装置。

18. 請求項10記載の画像復号化装置において、

前記フィールド単位処理手段は、

カラーデジタル画像の復号化処理をフィールド単位で行なうカラー画像フィールド復号化手段と、

前記カラーデジタル画像の有意形状を示す二値デジタル画像をフィールド単位で復号化する二値画像フィールド復号化手段とを有し、

前記フレーム単位処理手段は、

前記カラーデジタル画像の符号化処理をフレーム単位で行なうカラー画像フレーム復号化手段と、

前記カラーデジタル画像の有意形状を示す二値デジタル画像をフレーム単位で復号化する二値画像フレーム復号化手段とを有し、

前記切替え手段は、

画像符号化装置で前記二値デジタル画像をフィールド単位又はフレーム単位のいずれで符号化したかを示すモード情報に応じて切替え処理する、ことを特徴とする画像復号化装置。

19. 請求項3記載の画像符号化装置と請求項12記載の画像復号化装置とから構成される画像符号化／復号化装置。

20. 請求項6記載の画像符号化装置と請求項15記載の画像復号化装置とから構成される画像符号化／復号化装置。

21. 請求項7記載の画像符号化装置と請求項16記載の画像復号化装置とから

ら構成される画像符号化／復号化装置。

22. コンピュータによる読み取り可能な記録媒体であって、

二値ディジタル画像を分割した画素ブロックをコンピュータ・プロセッサにフィールド単位でダウンサンプリングさせる第1のプログラム命令手段と、

前記画素ブロックをコンピュータ・プロセッサにフレーム単位でダウンサンプリングさせる第2のプログラム命令手段と、

前記二値ディジタル画像を符号化する際に、前記画素ブロックをフィールド単位でダウンサンプリングを行なうかフレーム単位でダウンサンプリングを行なうかをコンピュータ・プロセッサにブロック毎に判定させる第3のプログラム命令手段と、

前記モード情報に応じてコンピュータ・プロセッサにフィールド単位のダウンサンプリングとフレーム単位のダウンサンプリングのうち有効なダウンサンプリングを選択させる第4のプログラム命令手段と、
が実行可能な形式で記憶された記録媒体。

23. コンピュータによる読み取り可能な記録媒体であって、

符号化画像信号をコンピュータ・プロセッサにフィールド単位でアップサンプリングさせる第1のプログラム命令手段と、

前記符号化画像信号をコンピュータ・プロセッサにフレーム単位でアップサンプリングさせる第2のプログラム命令手段と、

フィールド単位又はフレーム単位のいずれで画素ブロックをダウンサンプリングしたかを示すモード情報に応じてコンピュータ・プロセッサに有効なモードでのアップサンプリングを選択させる第3のプログラム命令手段と
が実行可能な形式で記憶された記録媒体。

24. コンピュータによる読み取り可能な記録媒体であって、

二値ディジタル画像を符号化する際に、画素ブロックをフィールド単位で

符号化するかフレーム単位で符号化するかをコンピュータ・プロセッサにブロック毎に判定させる第1のプログラム命令手段と、

フィールド画像における着目画素周辺の符号化済み画素の画素値分布状態をコンピュータ・プロセッサに調査させる第2のプログラム命令手段と、

前記着目画素の画素値に関する確率分布をコンピュータ・プロセッサに前記調査結果に現われた分布状態から決定させる第3のプログラム命令手段と、

前記決定した確率分布に従って前記着目画素の画素値をコンピュータ・プロセッサに算術符号化させる第4のプログラム命令手段と、

フレーム画像における着目画素周辺の符号化済み画素の画素値分布状態をコンピュータ・プロセッサに調査させる第5のプログラム命令手段と、

前記着目画素の画素値に関する確率分布をコンピュータ・プロセッサに前記調査結果に現われた分布状態から決定させる第6のプログラム命令手段と、

前記決定した確率分布に従って前記着目画素の画素値をコンピュータ・プロセッサに算術符号化させる第7のプログラム命令手段と、

前記画素ブロックをフィールド単位で符号化するかフレーム単位で符号化するかを示すモード情報に応じてコンピュータ・プロセッサにフィールド単位の算術符号化とフレーム単位の算術符号化のうち有効な算術符号化を選択させる第8のプログラム命令手段と、

が実行可能な形式で記憶された記録媒体。

25. コンピュータによる読み取り可能な記録媒体であって、

先に復号化した復号画像からフィールド単位で注目画素の周辺画素について画素値分布を調査する第1のプログラム命令手段と、

復号画像からフレーム単位で注目画素の周辺画素について画素値分布を調査する第2のプログラム命令手段と、

フィールド単位又はフレーム単位のいずれで画素ブロックを符号化したか

を示すモード情報により注目画素周辺の画素値分布について有効な画素値分布をコンピュータ・プロセッサに選択させる第3のプログラム命令手段と、

選択された有効な画素値分布に基づいて当該着目画素の画素値の確率分布をコンピュータ・プロセッサに決定させる第4のプログラム命令手段と、

その決定した前記注目画素の確率分布を用いて当該着目画素の算術符号化された画像符号化信号をコンピュータ・プロセッサに復号させる第5のプログラム命令手段と、

が実行可能な形式で記憶された記録媒体。

26. 二値ディジタル画像を分割した画素ブロックをフィールド単位で処理するステップと、

前記二値ディジタル画像を分割した画素ブロックをフレーム単位で処理するステップと、

前記画素ブロックをフィールド単位で処理すべきかフレーム単位で処理すべきかをブロック単位で判定するステップと、

モード判定結果を示すモード情報に応じて前記フィールド単位での処理と前記フレーム単位での処理のうち有効な処理を選択するステップと、を具備する画像符号化方法。

27. 画像符号化装置でフィールド単位又はフレーム単位で符号化された画素ブロックの符号化画像信号をフィールド単位で復号化のための処理を行うステップと、

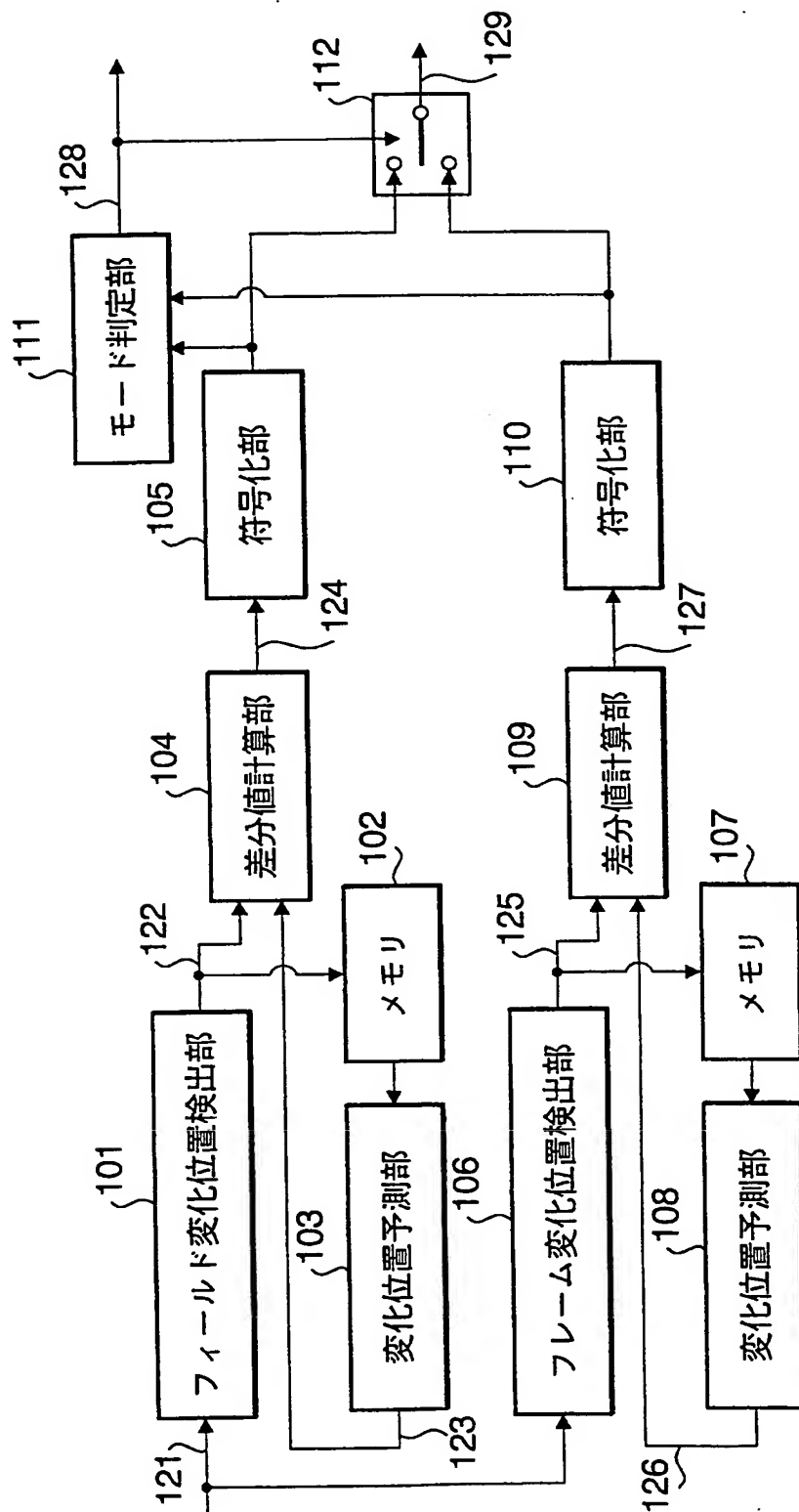
前記画素ブロックの符号化画像信号をフレーム単位で復号化のための処理を行うステップと、

前記画像符号化装置でフィールド単位又はフレーム単位のいずれで画素ブロックを符号化したかを示すモード情報に応じて前記フィールド単位での処理と前記フレーム単位での処理のうち有効な処理を選択するステップと、を具備

する画像復号化方法。

1/27

図 1



2/27

図 2

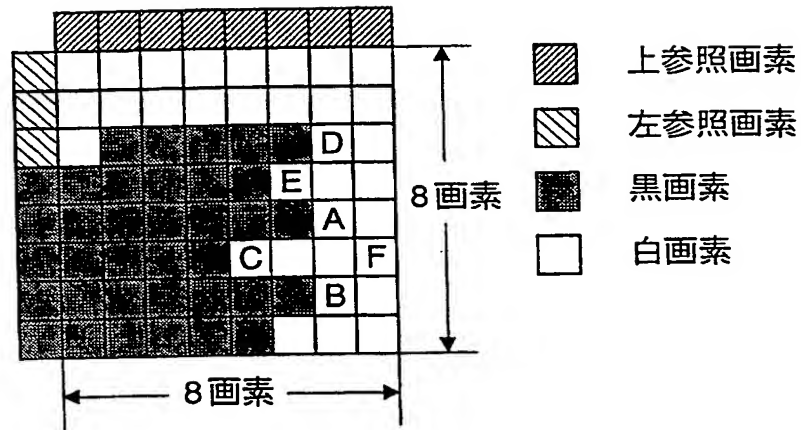
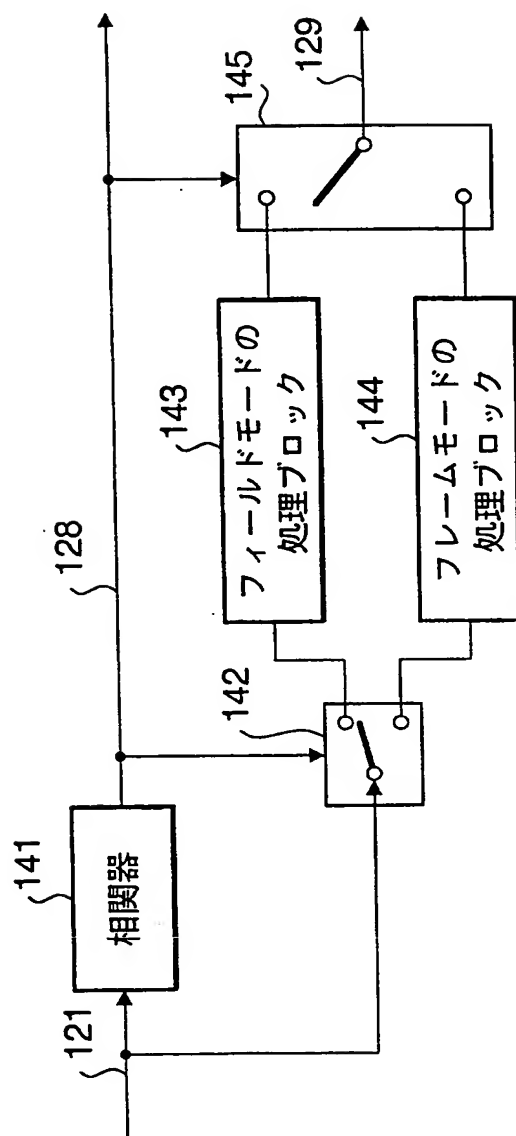


図 3

	ライン番号	1	2	3	4	5	6	7	8
奇数 フィールド	変化位置	0		7		0		0	
	予測位置	0		0		7		7	
	差分値	0		+6		0		0	
偶数 フィールド	変化位置		0		6		-1		+1
	予測位置		0		6		6		4
	差分値		0		+6		-1		+2
フレーム	変化位置	0	0	7	-1	+1	-2	+2	-1
	予測位置	0	0	0	0	5	8	2	9
	差分値	0	0	+6	-1	+2	-3	+4	-3

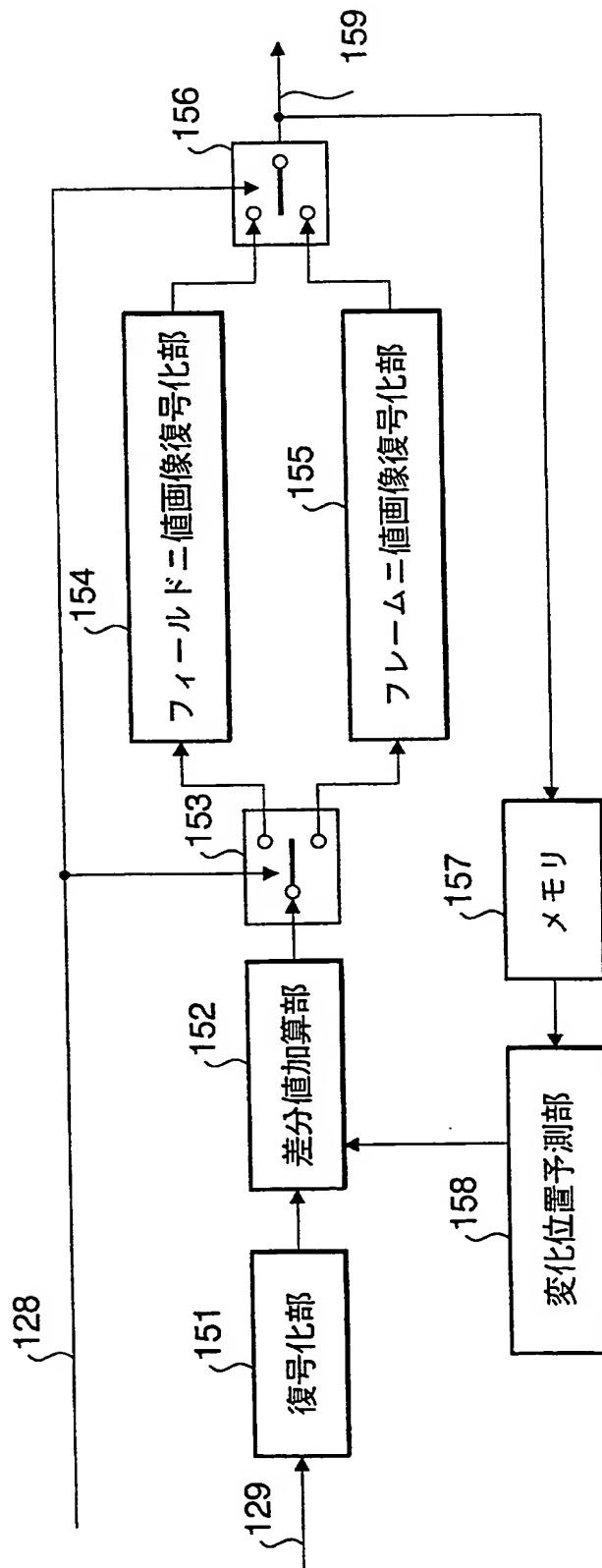
3/27

図 4



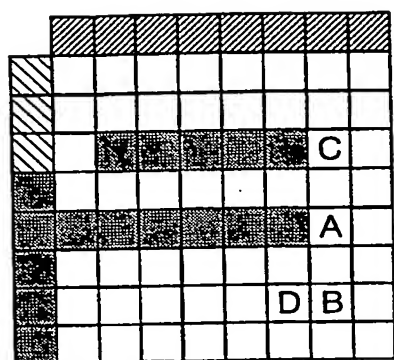
4/27

図 5



5/27

図 6







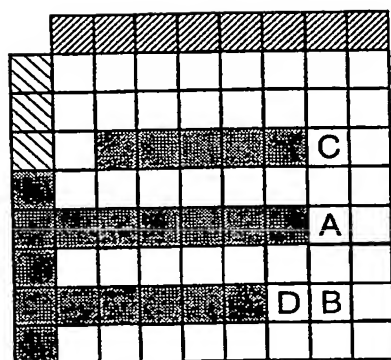



-  上参照画素
-  左参照画素
-  黒画素
-  白画素

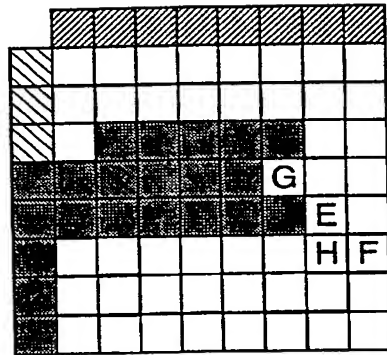
図 7



-  上参照画素
-  左参照画素
-  黒画素
-  白画素

6/27

図 8







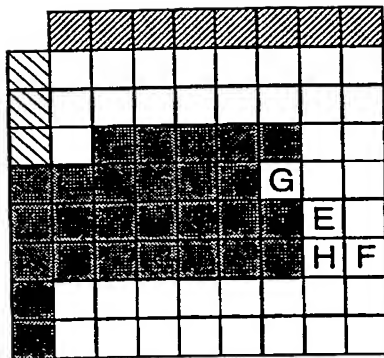



-  上参照画素
-  左参照画素
-  黒画素
-  白画素

図 9



-  上参照画素
-  左参照画素
-  黒画素
-  白画素

7/27

図 10

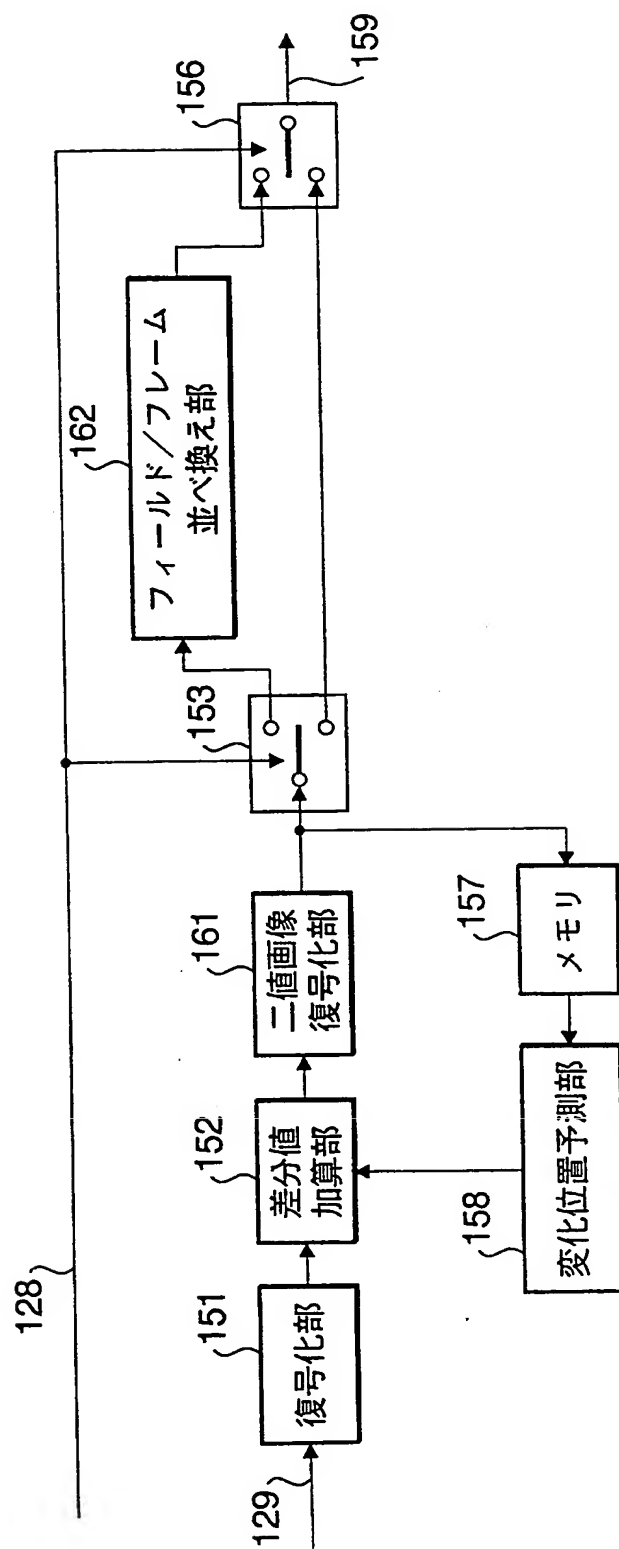
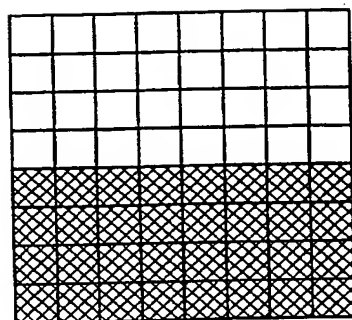



図 11



 フィールド 1 に属する画素


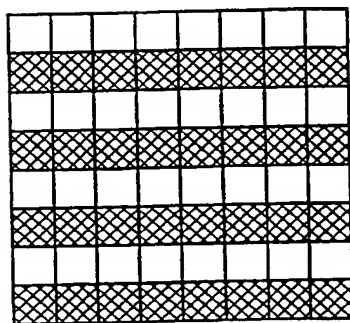


 フィールド 2 に属する画素

図 12

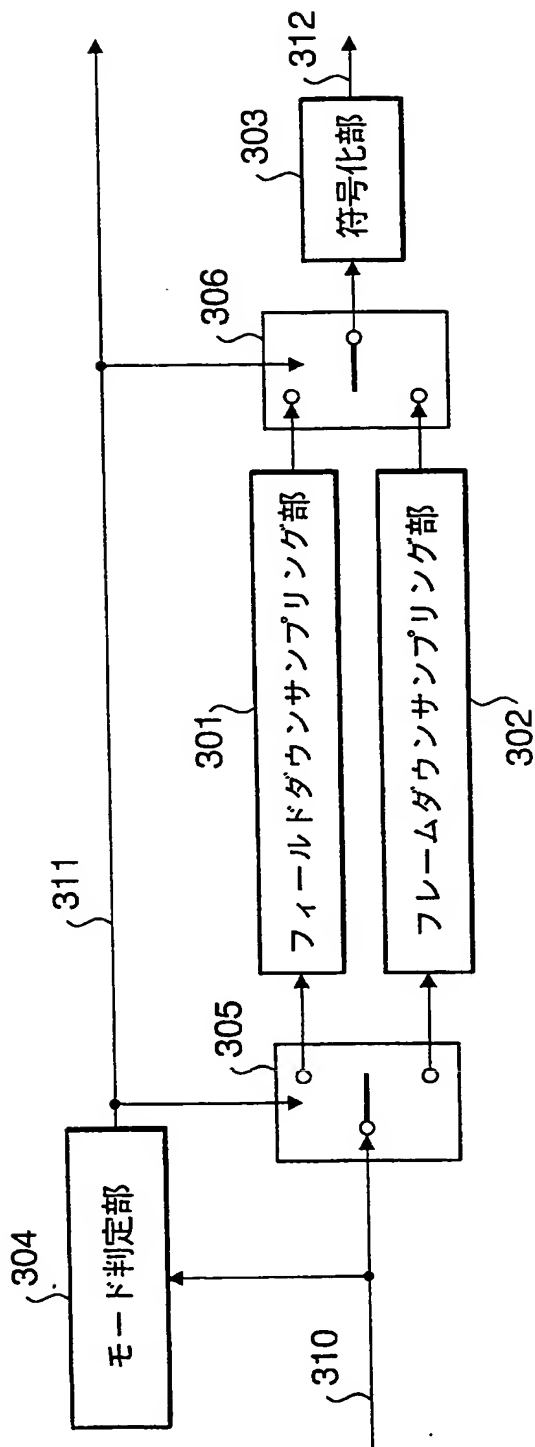


 フィールド 1 に属する画素

 フィールド 2 に属する画素

9/27

図 13



10/27

図 14

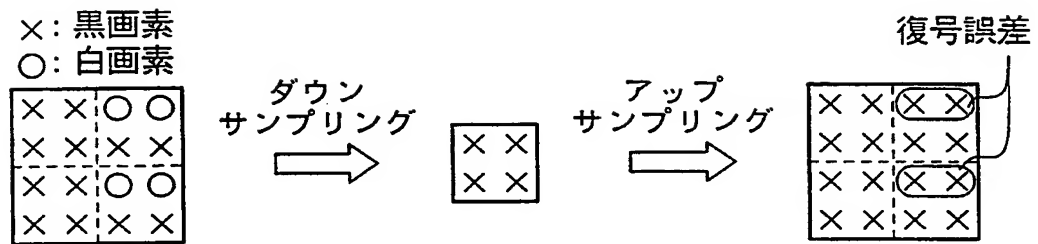
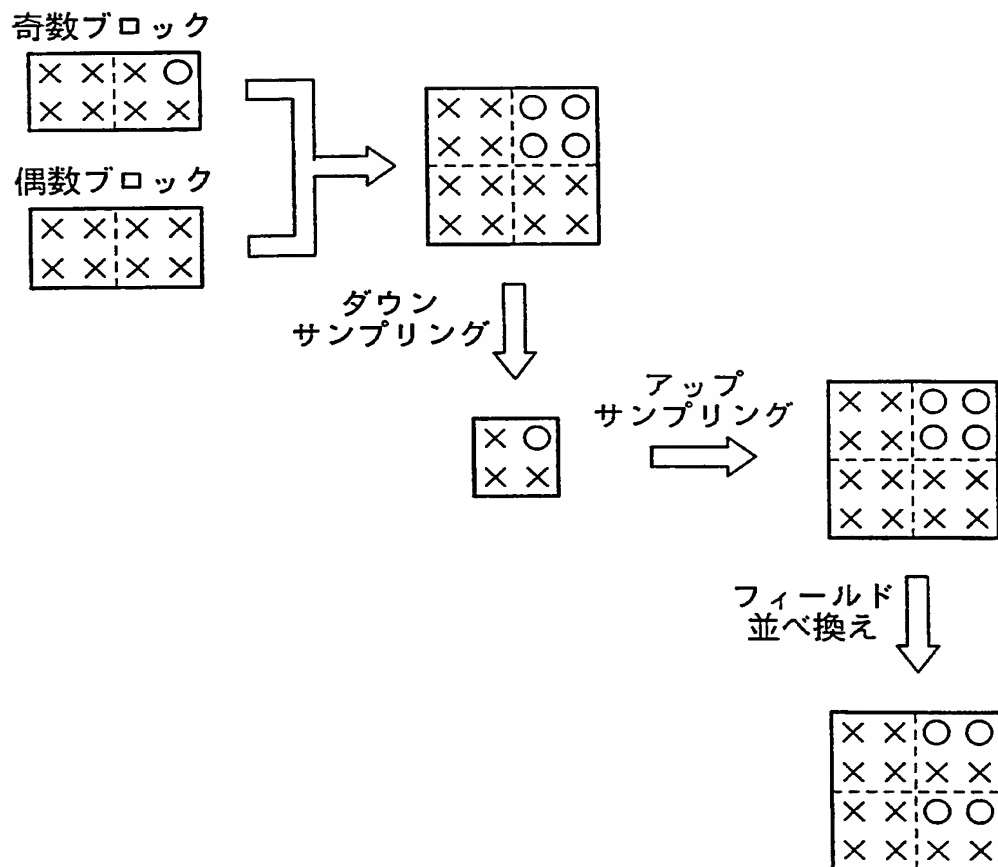
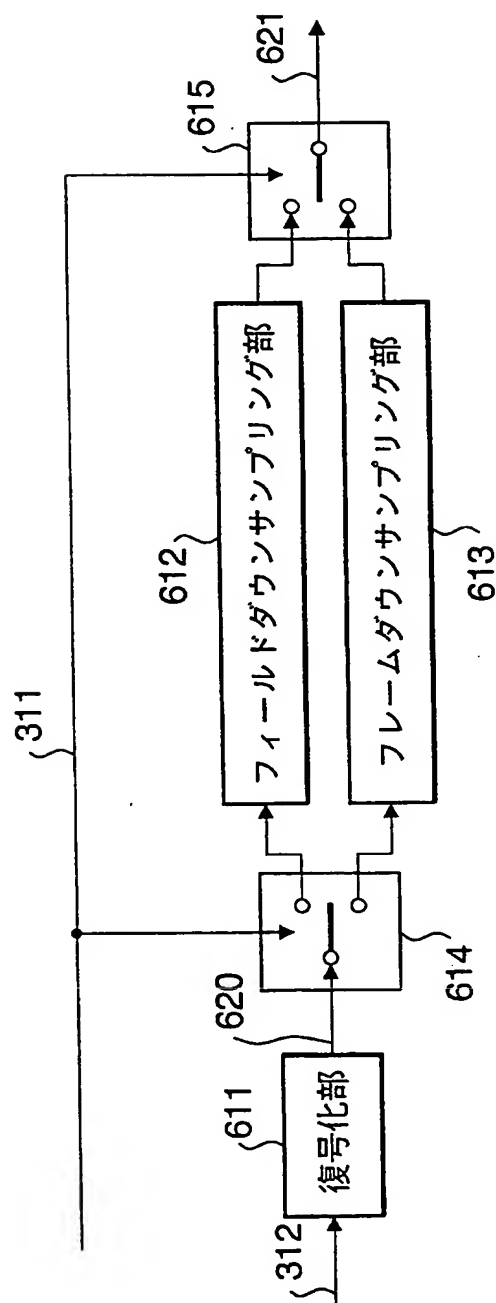


図 15



11/27

図 16



12/27

図 17

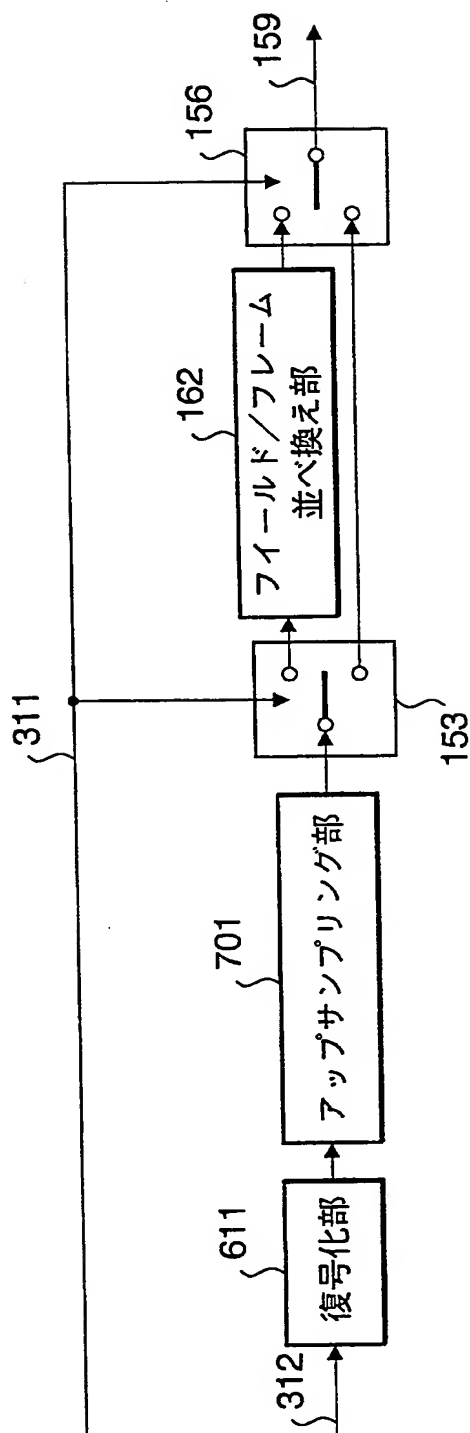
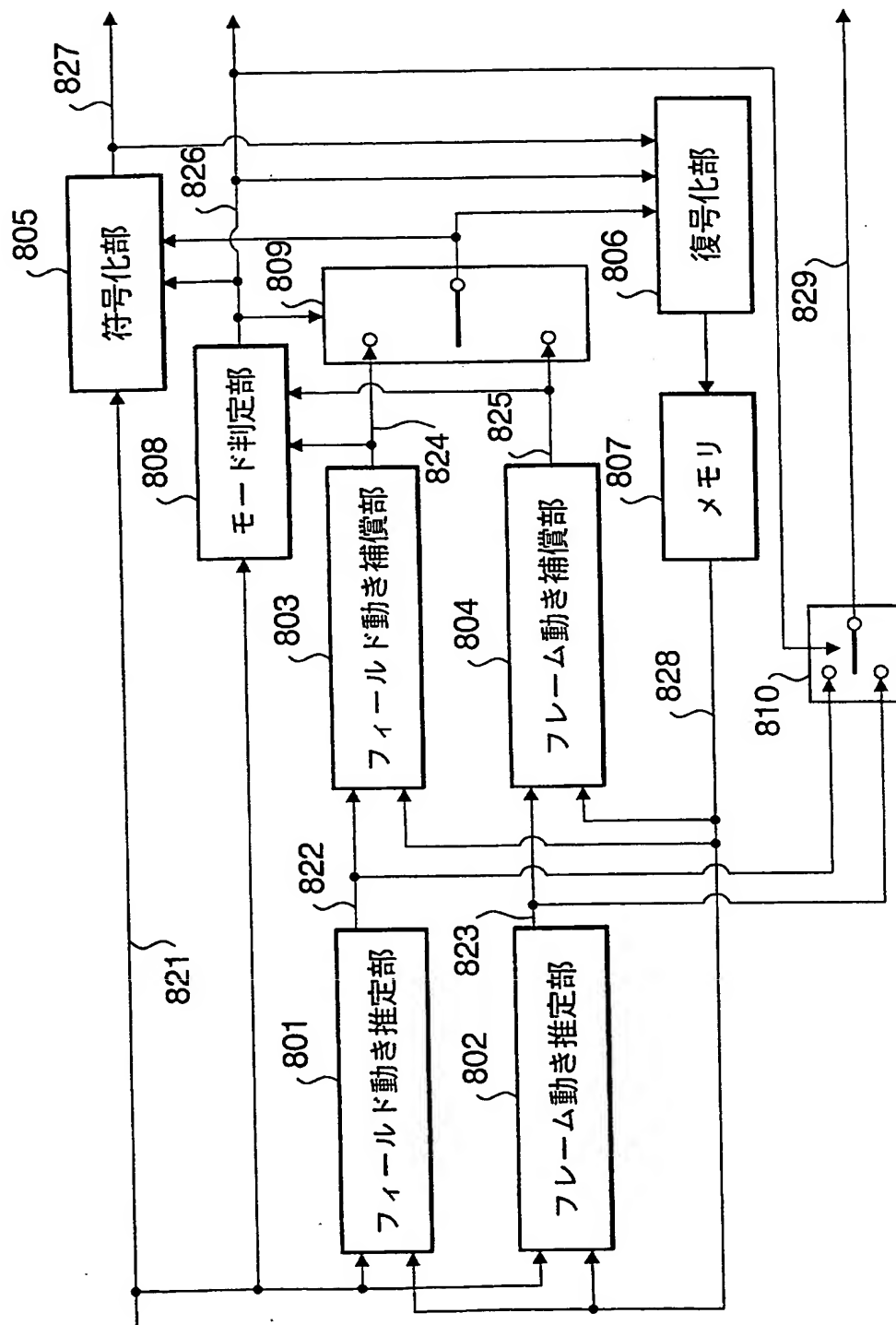


図 18



14/27

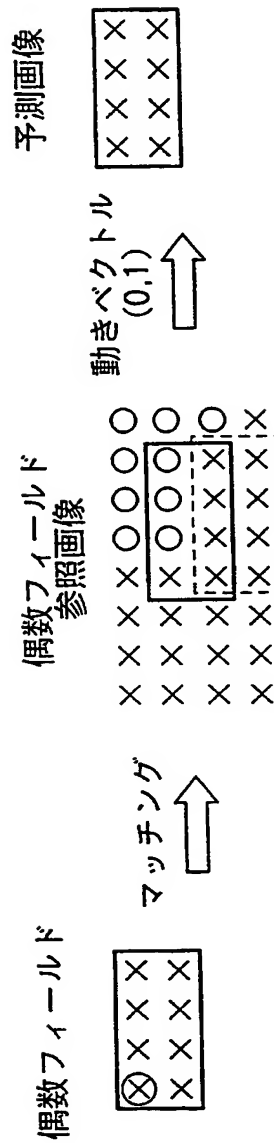
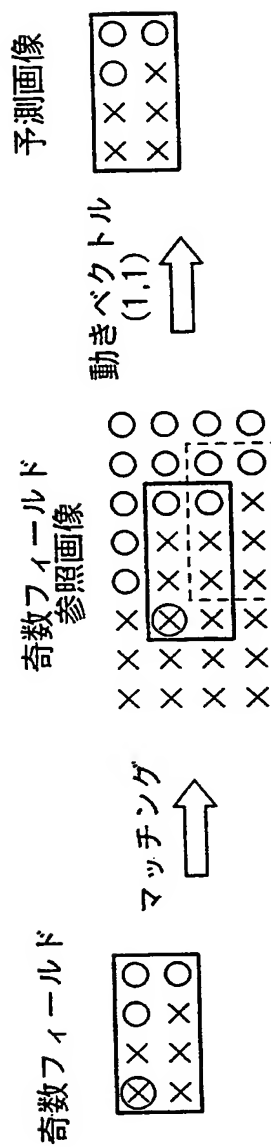
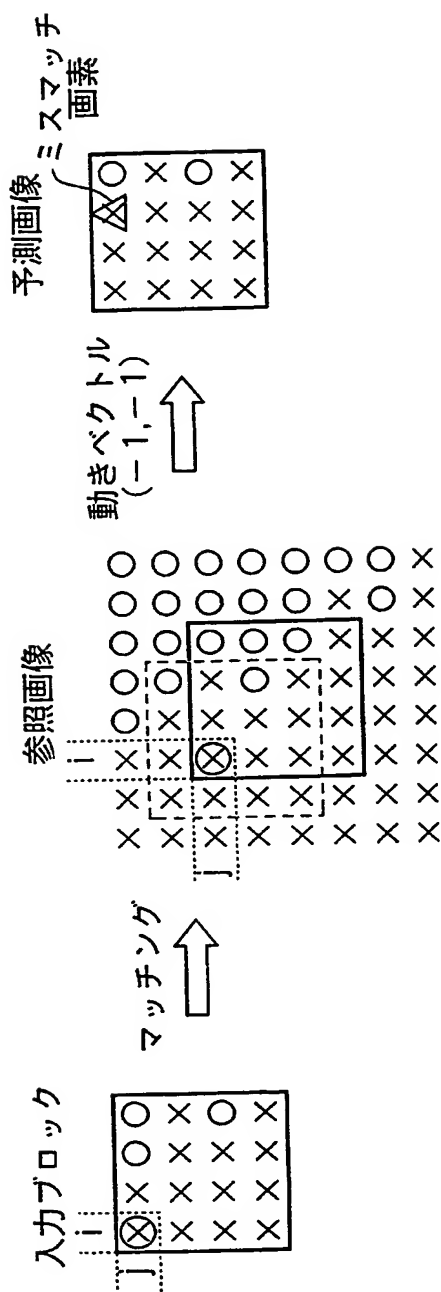


図 22

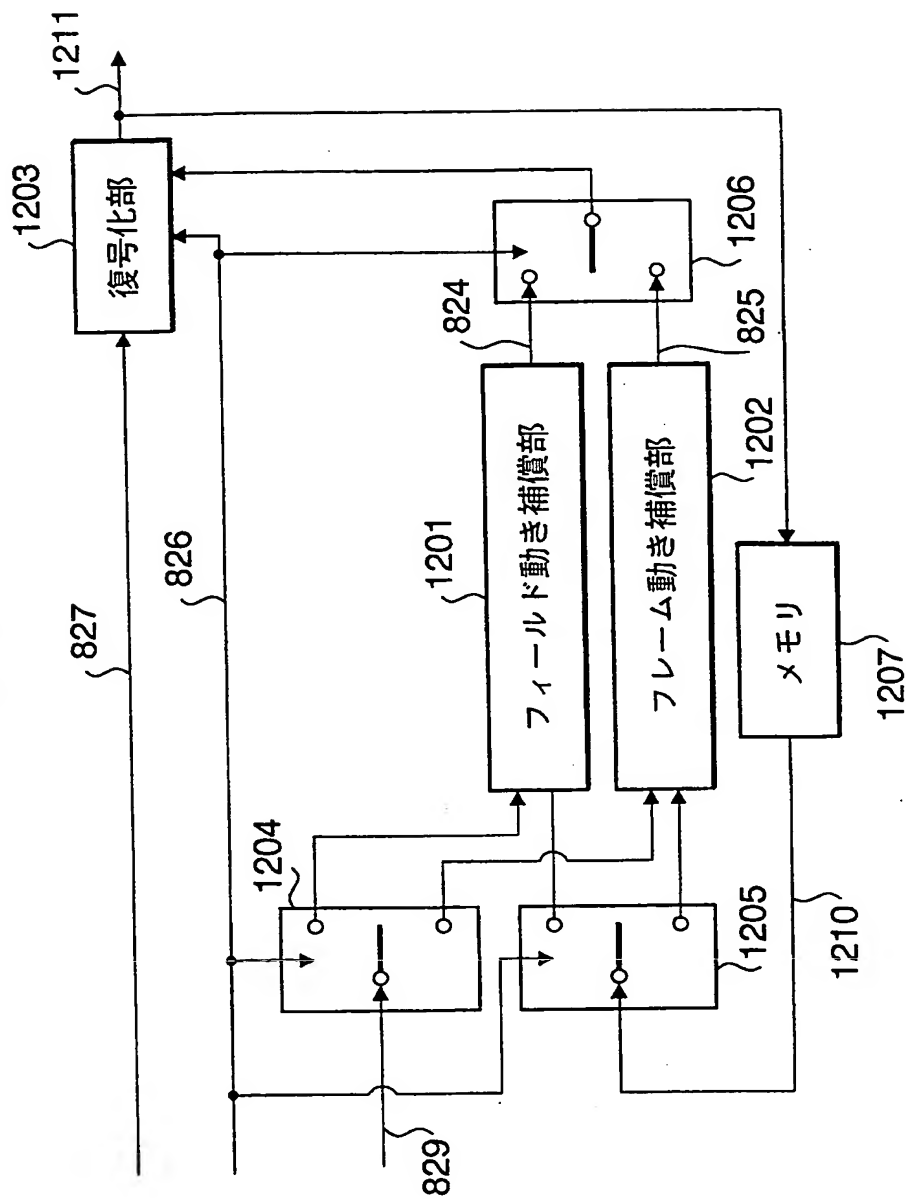


図 23

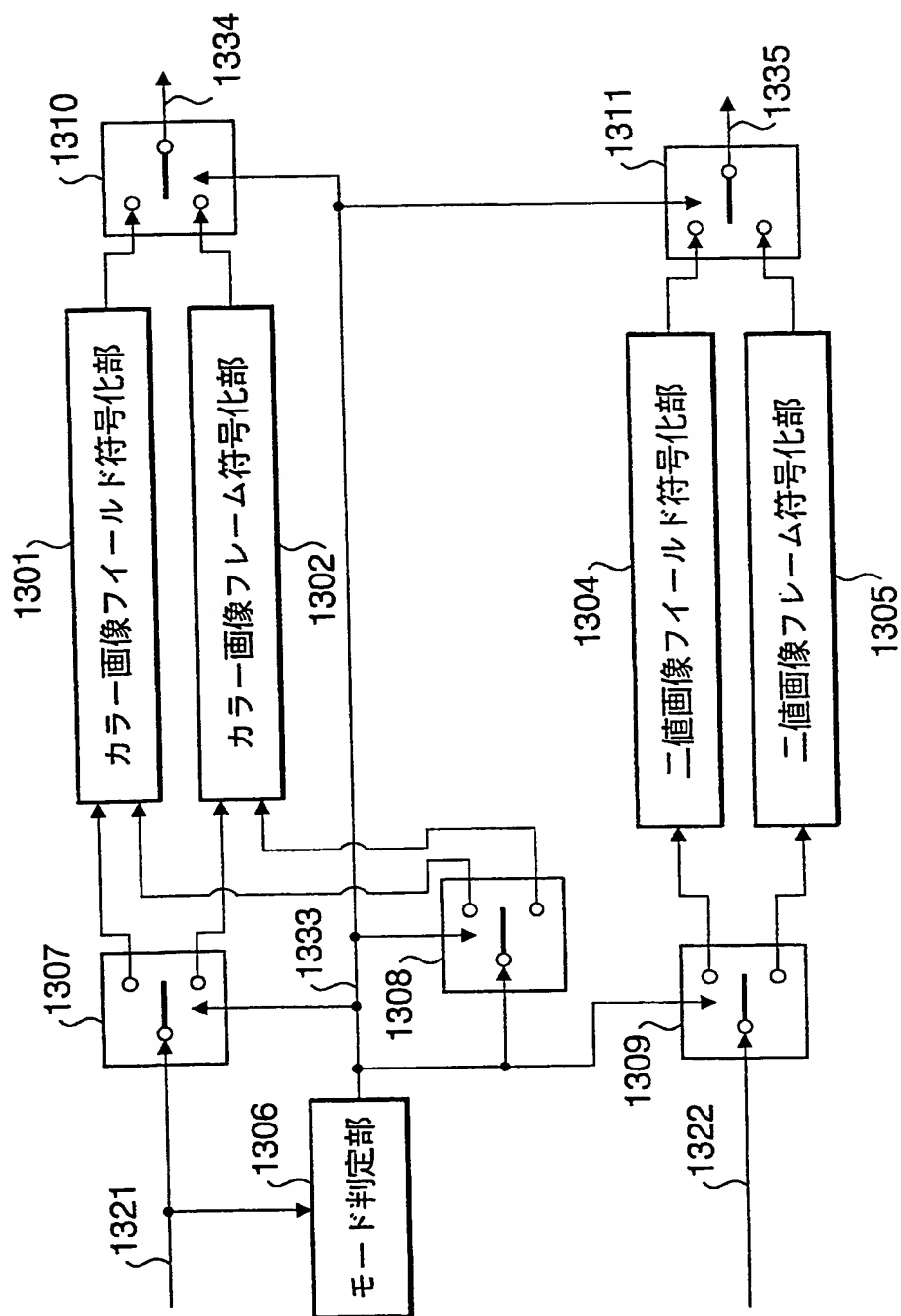


図 24

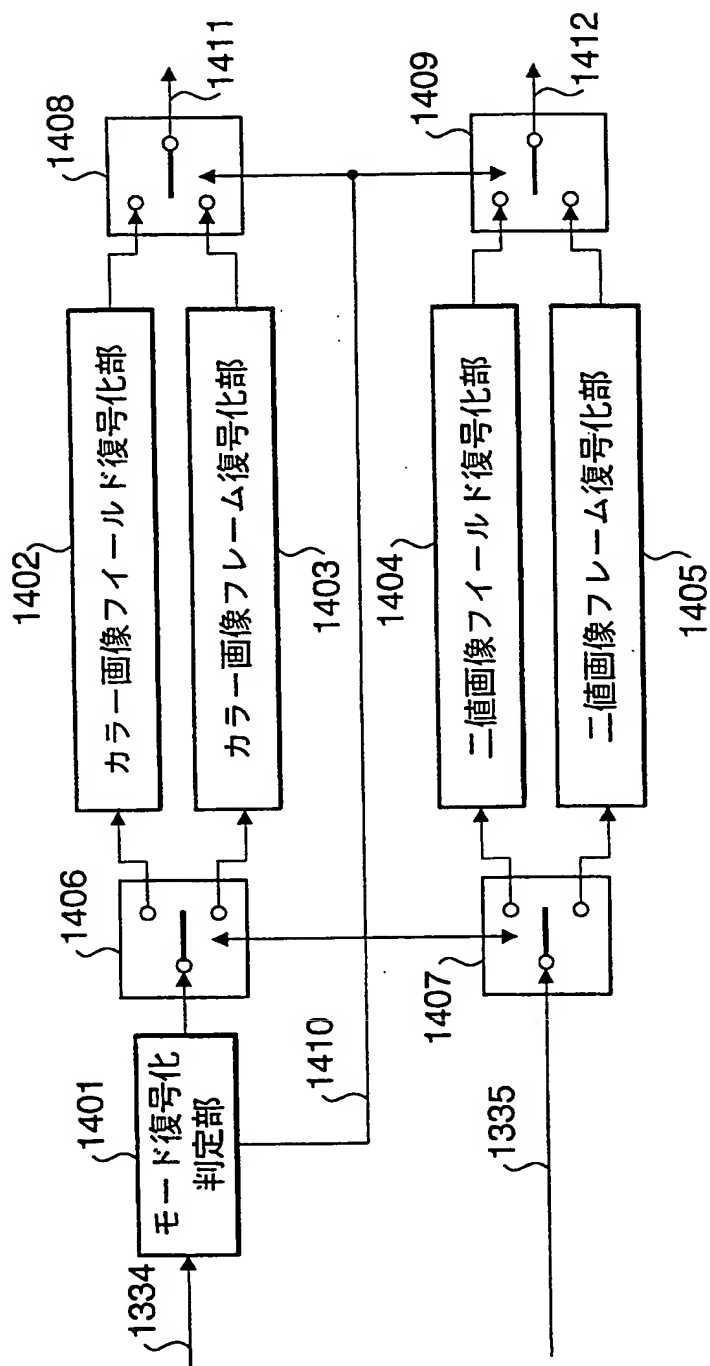
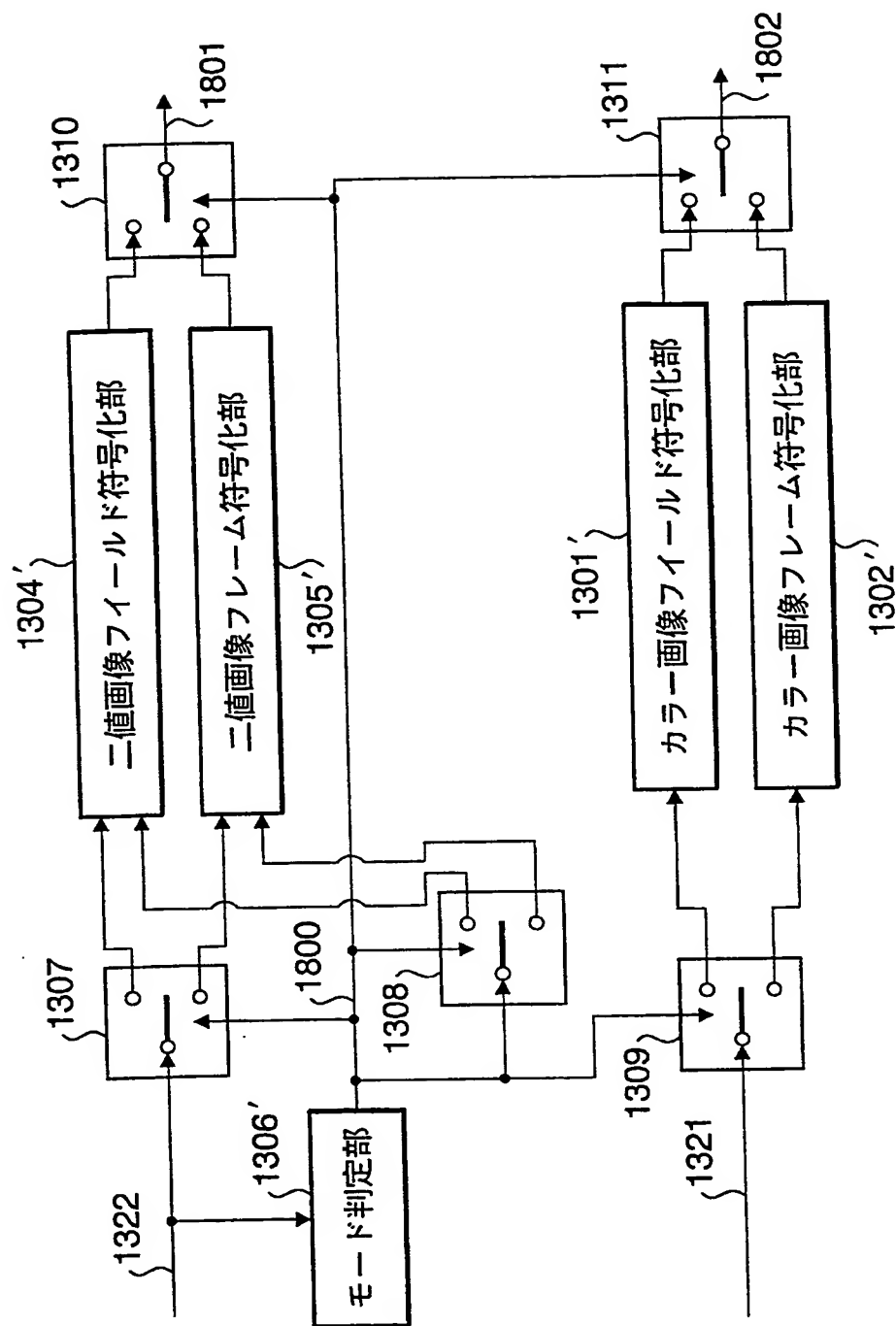


図 25



20/27

図 27

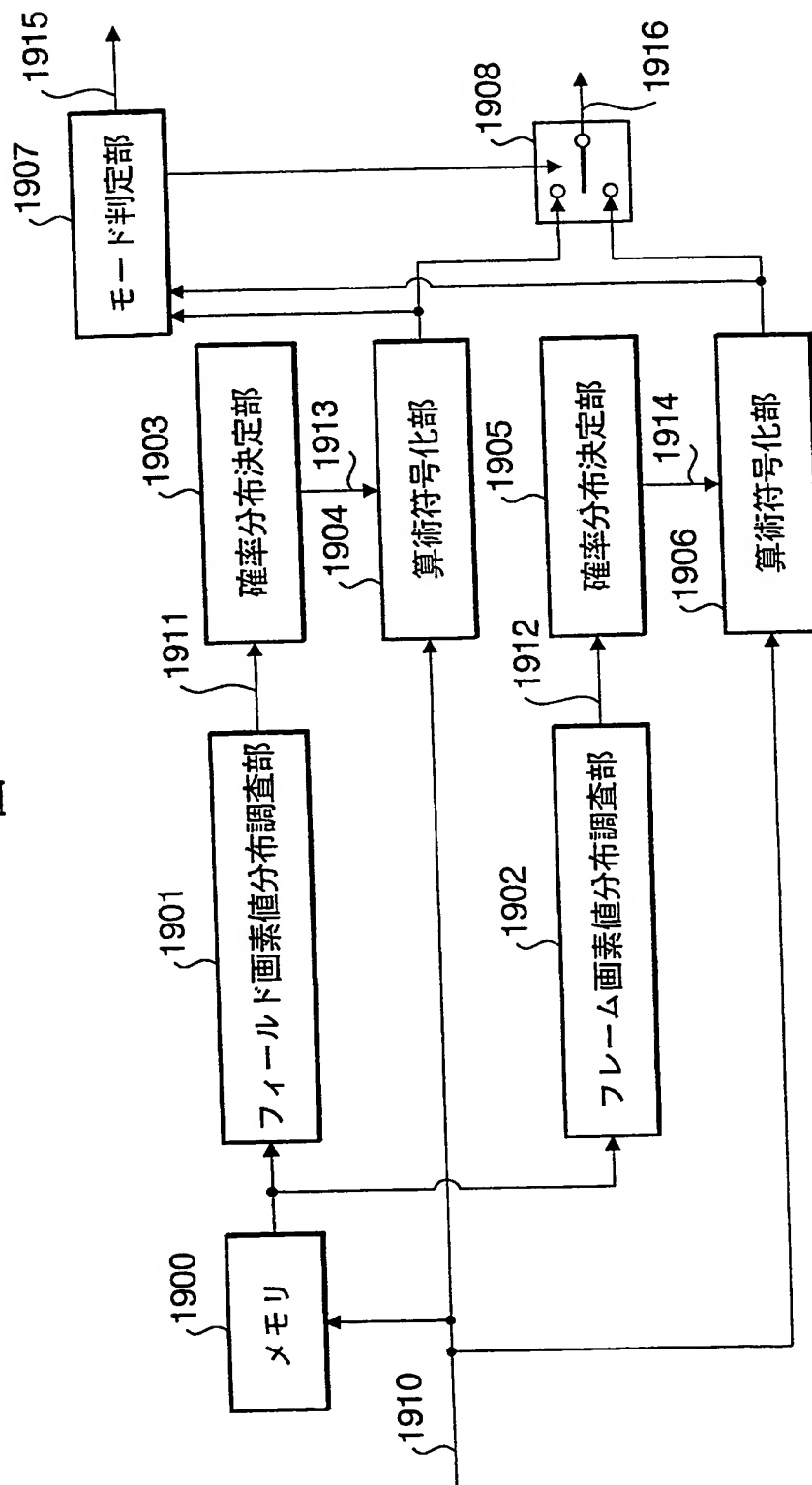


図 28

B	C	D	A	
			黒	白
黒	黒	黒	0.95	0.05
黒	黒	白	0.8	0.2
黒	白	黒	0.75	0.25
白	黒	黒	0.7	0.3
黒	白	白	0.4	0.6
白	黒	白	0.15	0.85
白	白	黒	0.2	0.8
白	白	白	0.05	0.95

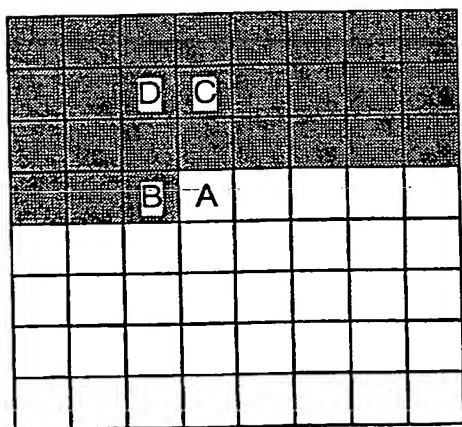


図 29A

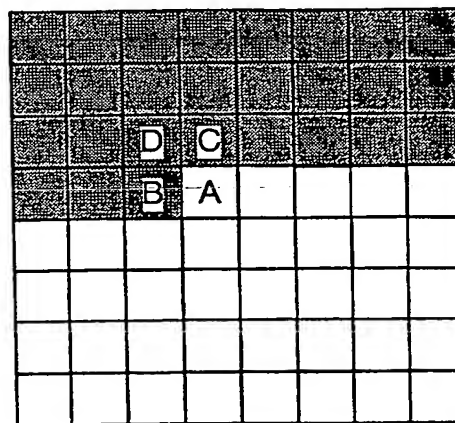
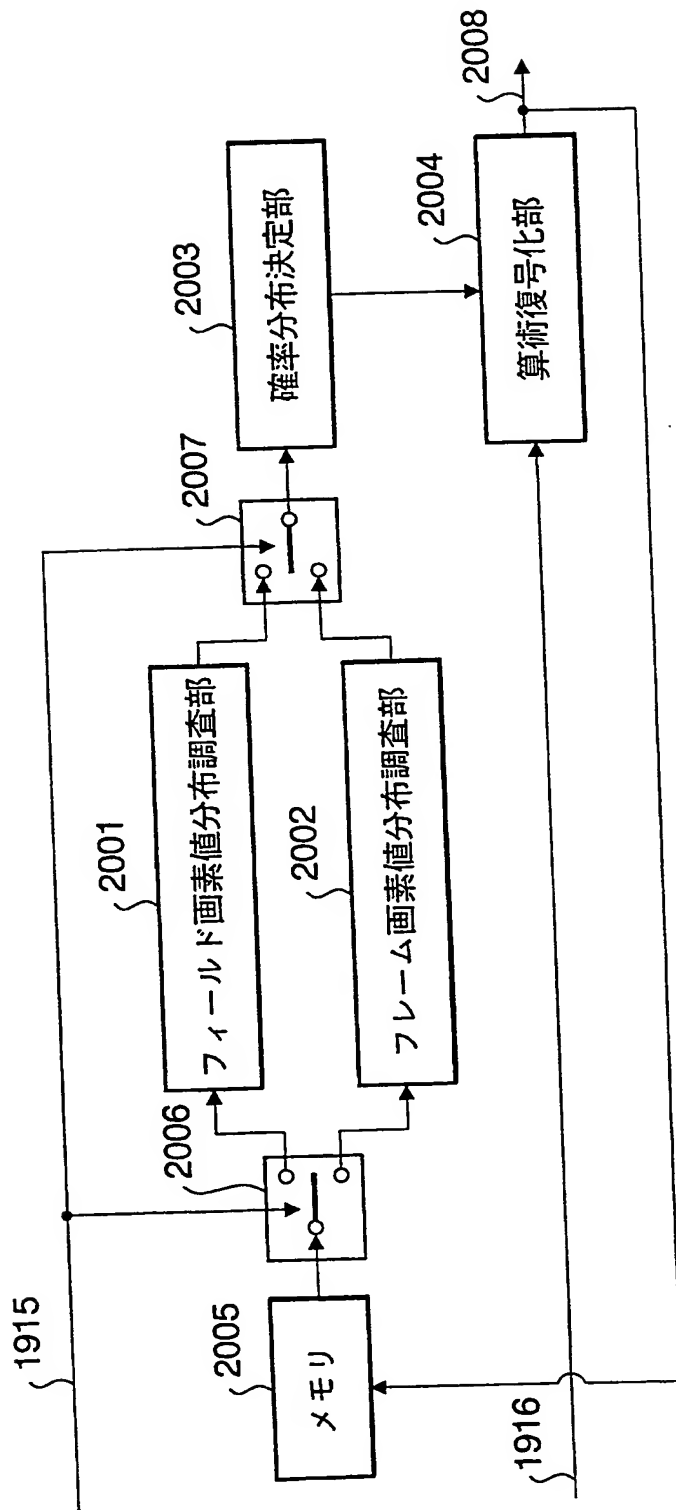


図 29B

図 30



23/27

図 31

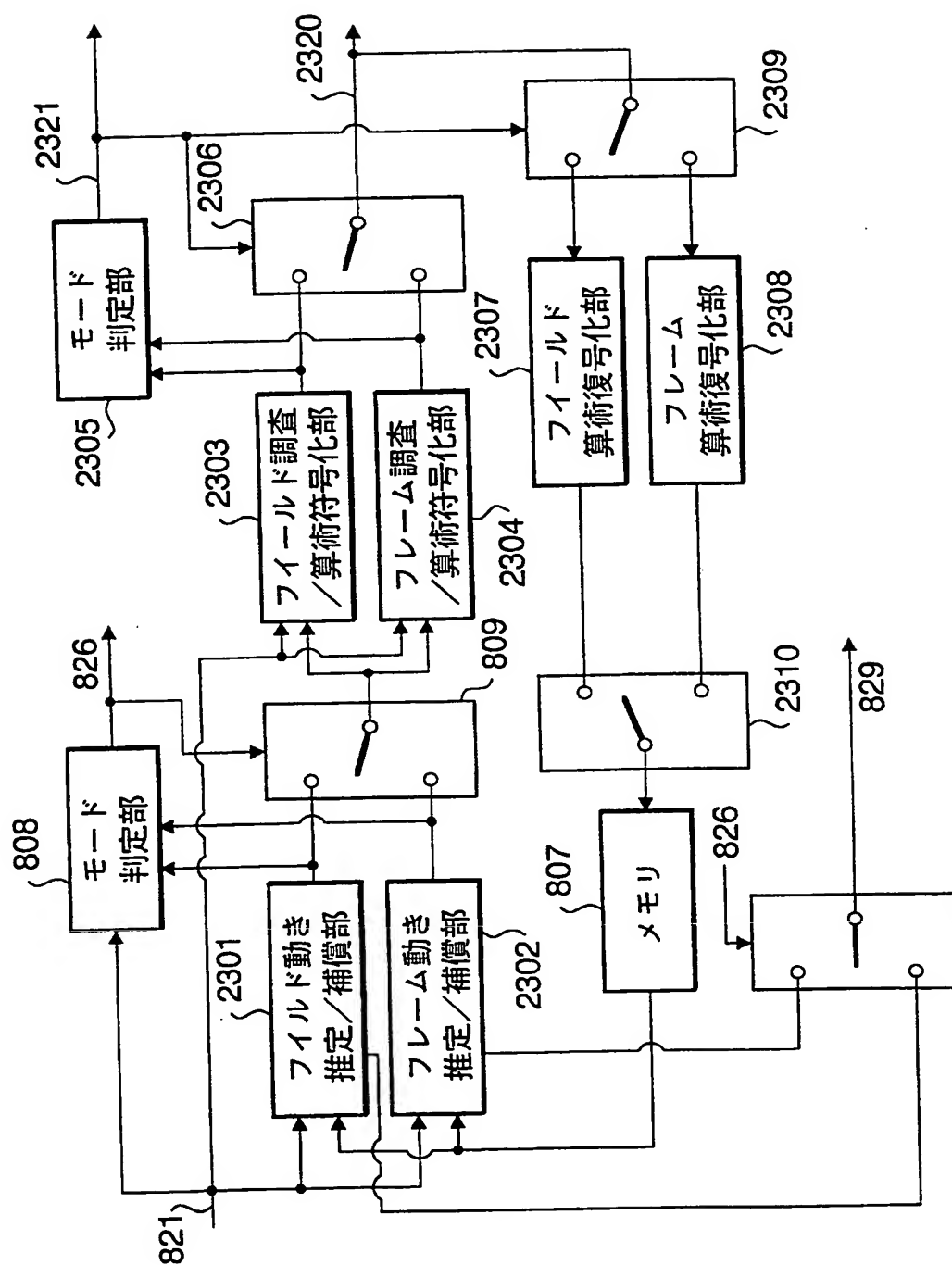
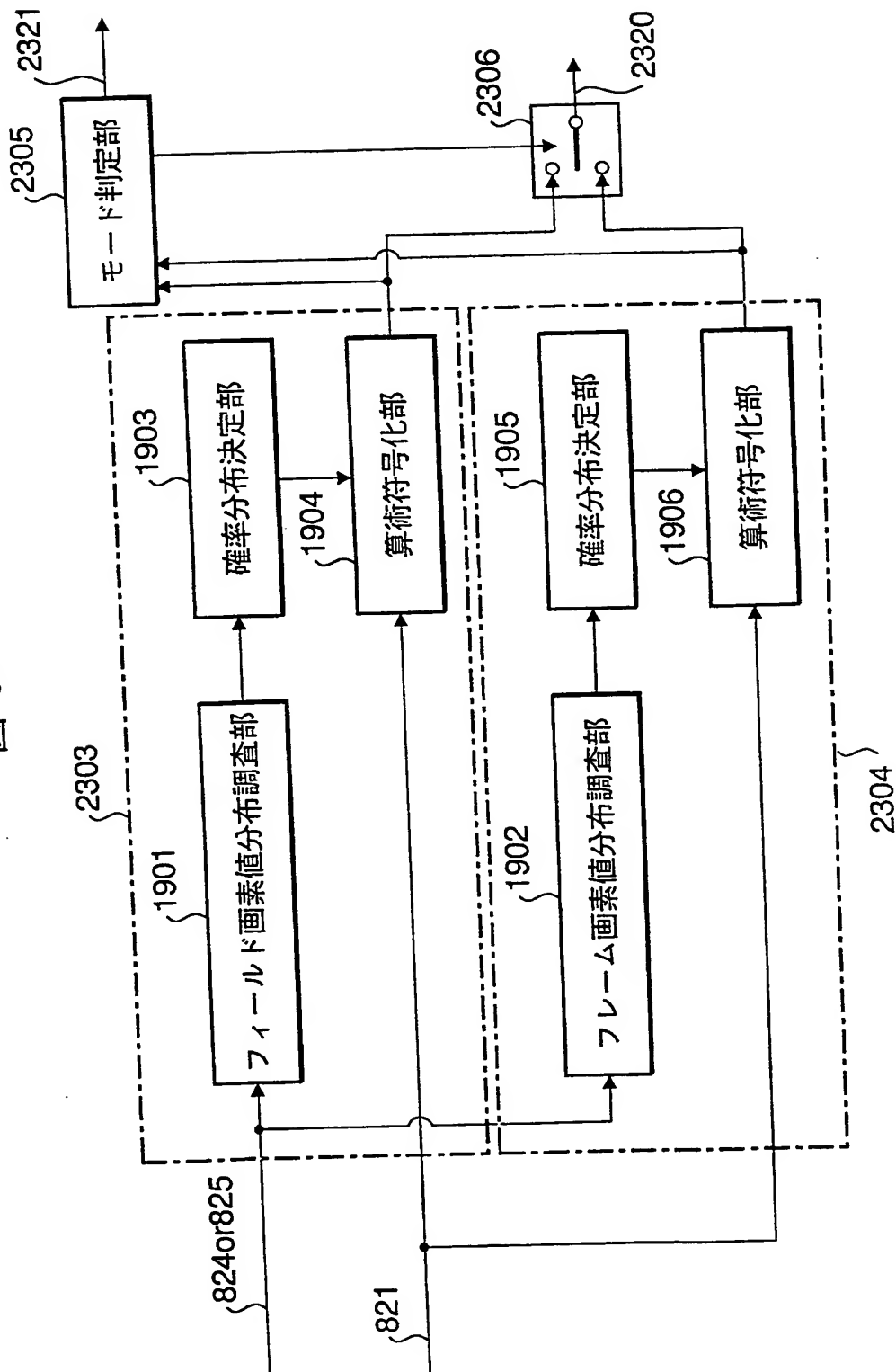
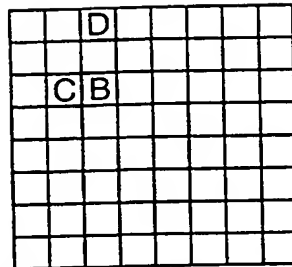


図 32

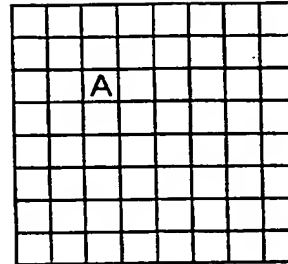


25/27



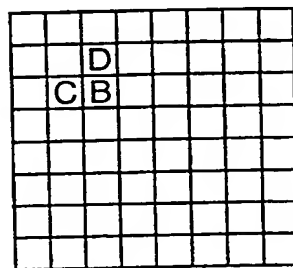
動き補償予測ブロック

図 33A



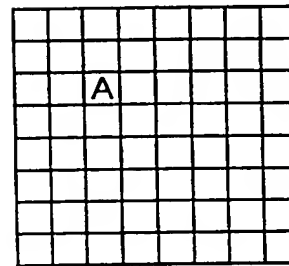
符号化対象ブロック

図 33B



動き補償予測ブロック

図 34A



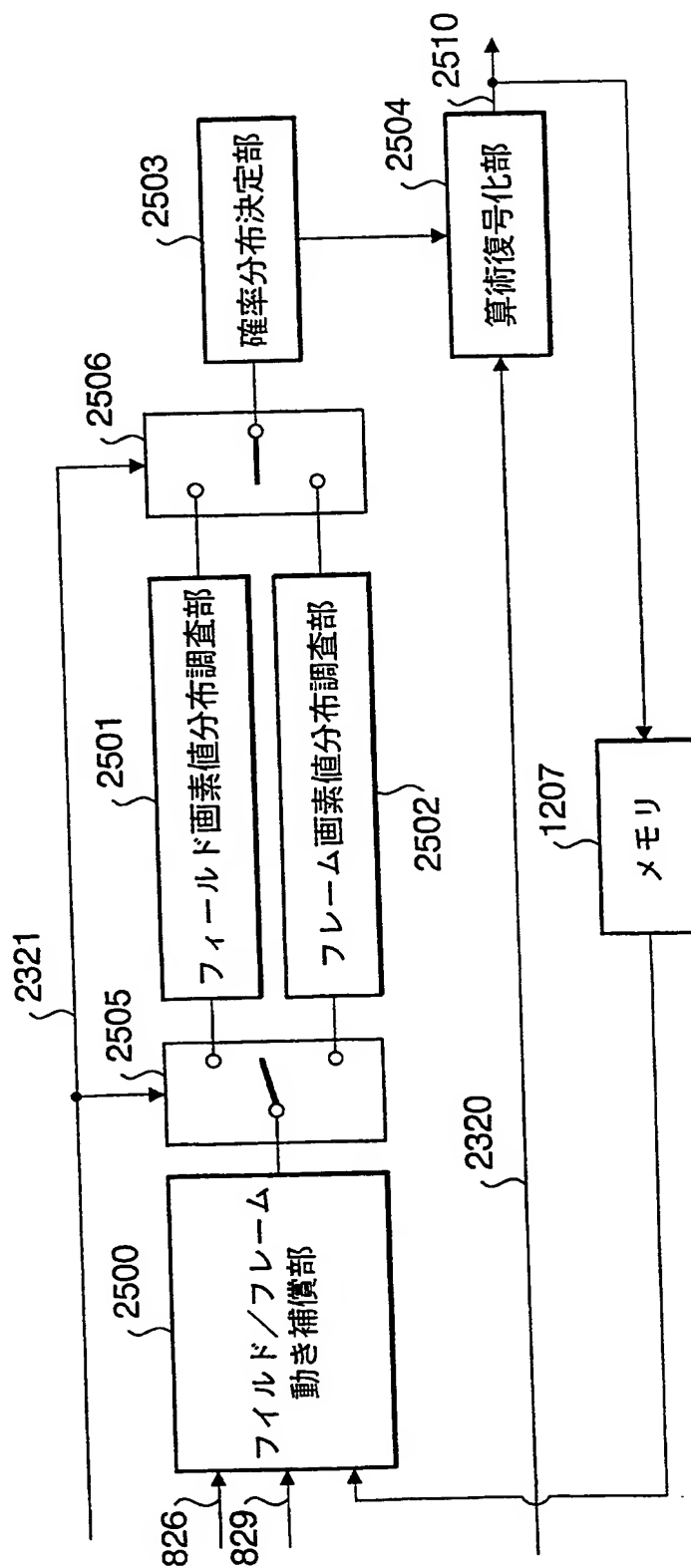
符号化対象ブロック

図 34B

B	C	D	A	
			黒	白
黒	黒	黒	0.95	0.05
黒	黒	白	0.8	0.2
黒	白	黒	0.75	0.25
白	黒	黒	0.5	0.5
黒	白	白	0.5	0.5
白	黒	白	0.15	0.85
白	白	黒	0.2	0.8
白	白	白	0.05	0.95

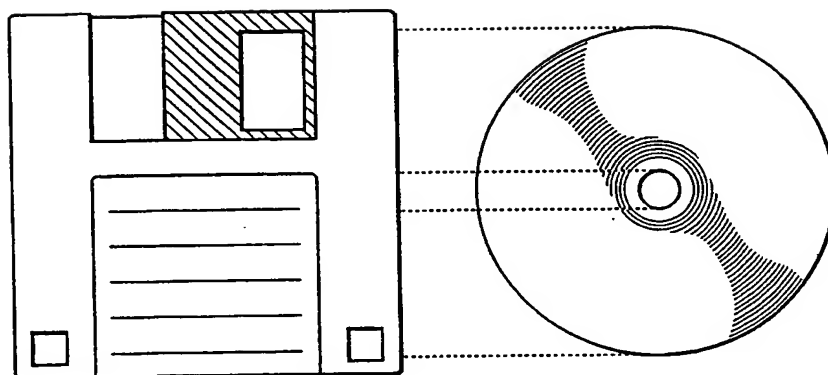
図 35

図 36



27/27

図 37



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP97/04557

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H04N7/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H04N7/24-H04N7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1957-1998
Kokai Jitsuyo Shinan Koho 1975-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-284415, A (Toshiba Corp.), October 7, 1994 (07. 10. 94), Column 8, lines 12 to 49 (Family: none)	10-11, 13, 27
A	Kotaro Asai, "MPEG-4 Video Verification Model (in Japanese)" Preprints of 1996 Winter Meeting of Image Media Section, The Institute of Television Engineers of Japan, December 4, 1996 (04. 12. 96) (Tokyo) p.33-38 Particularly refer to page 35	1-27

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not
considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other
means
"P" document published prior to the international filing date but later than
the priority date claimed

"T" later document published after the international filing date or priority
date and not in conflict with the application but cited to understand
the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive step
when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such combination
being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
March 11, 1998 (11. 03. 98)

Date of mailing of the international search report
March 24, 1998 (24. 03. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP97/04557

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁸ H04N7/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ H04N7/24-H04N7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1957-1998年
日本国公開実用新案公報 1975-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-284415, A (株式会社東芝) 7. 10月. 1994 (07. 10. 94) 第8欄, 第12-49行 (ファミリーなし)	10-11, 13, 27
A	浅井光太郎「MPEG4ビデオ検証モデル」1996年テレビジョン学会映像メディア部門冬季大会講演予稿集, 4. 12月. 1996 (04. 12. 96) (東京) p33-38 特に, p35参照	1-27

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 03. 97

国際調査報告の発送日

24.03.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

國分 直樹

5C

9070

電話番号 03-3581-1101 内線 3542

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☒ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)